

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 4 月 15 日 (15.04.2004)

PCT

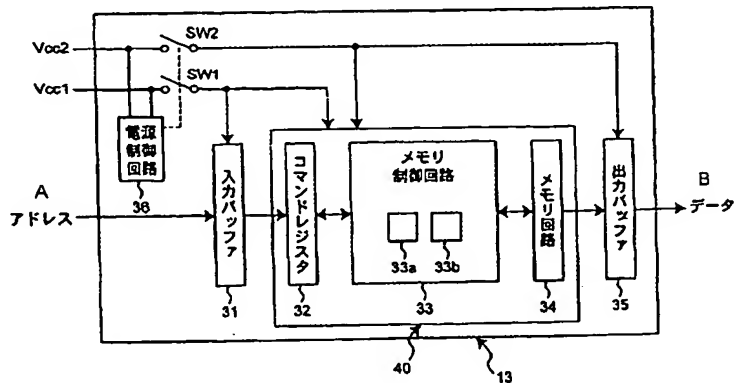
(10) 国際公開番号
WO 2004/032148 A1

- (51) 国際特許分類⁷: G11C 16/30, H01L 27/10, 29/788
(21) 国際出願番号: PCT/JP2003/012663
(22) 国際出願日: 2003 年 10 月 2 日 (02.10.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2002-292105 2002 年 10 月 4 日 (04.10.2002) JP
特願2003-142157 2003 年 5 月 20 日 (20.05.2003) JP
(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市 阿倍野区長池町 2 番 2 号 Osaka (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 矢追 善史 (YAOI, Yoshifumi) [JP/JP]; 〒639-1053 奈良県 大和郡 山市 千日町 2 1-7 Nara (JP). 岩田 浩 (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町 信貴ヶ丘 2-4-1 3 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町 1 0 4-B 2 0 3 Nara (JP). 徳井 圭 (TOKUI, Kei) [JP/JP]; 〒266-0005 千葉県 千葉市 緑区 菅田町 2-4-7 ラポール 菅田 B-2 0 8 Chiba (JP). 那脇 勝 (NAWAKI, Masaru) [JP/JP]; 〒630-8033 奈良県 奈良市 五条二丁目 1 7-3 4-1 3 Nara (JP).
(74) 代理人: 河宮 治, 外 (KAWAMIYA, Osamu et al.); 〒540-0001 大阪府 大阪市 中央区 城見 1 丁目 3 番 7 号 IMPビル 青山特許事務所 Osaka (JP).

(続葉有)

(54) Title: SEMICONDUCTOR MEMORY DEVICE, METHOD FOR CONTROLLING THE SAME, AND MOBILE ELECTRONIC DEVICE

(54) 発明の名称: 半導体記憶装置およびその制御方法および携帯電子機器



A...ADDRESS
36...POWER SUPPLY CONTROL CIRCUIT
31...INPUT BUFFER
32...COMMAND REGISTER

33...MEMORY CONTROL CIRCUIT
34...MEMORY CIRCUIT
35...OUTPUT BUFFER
B...DATA

(57) Abstract: A memory cell array using, as memory cells, memory elements each comprising a gate electrode formed over a semiconductor layer with a gate insulating film intervening therebetween; a channel region located under the gate electrode; a diffusion region located on both sides of the channel region and having an opposite conductivity type to the channel region; and a memory function body formed on both sides of the gate electrode and having a function to hold a charge. When first and second externally-supplied power voltages (VCC1, VCC2) are lower than a predetermined voltage, a lockout circuit (33a) inhibits any rewrite command from being applied to a memory circuit (34) including the memory cell array. In this way, there are provided a semiconductor memory device and its control method wherein a storage of 2-bits or more per memory element as well as a stable operation can be realized even though fine patterning is employed and wherein any malfunctions, such as a rewriting fault, resulting from a reduction in level of the externally supplied power voltage can be prevented.

(続葉有)

WO 2004/032148 A1



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子をメモリセルとして用いたメモリセルアレイを備える。外部から供給される第 1、第 2 の電源電圧 VCC1、VCC2 が所定電圧よりも低いとき、ロックアウト回路 33a によってメモリセルアレイを含むメモリ回路 34 に対する書換えコマンドを禁止する。これにより、微細化しても 1 メモリ素子あたり 2 ビット以上の記憶保持と安定した動作ができると共に、外部から供給される電源電圧のレベル低下に起因する書換え不良などの誤動作を防止できる半導体記憶装置およびその制御方法を提供する。

明 細 書

半導体記憶装置およびその制御方法および携帯電子機器

5 技術分野

本発明は、半導体記憶装置およびその制御方法および携帯電子機器に関し、より詳しくは、メモリ機能を有する電界効果トランジスタをメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置およびその半導体記憶装置の制御方法およびその半導体記憶装置を用いた携帯電子機器に関する。

10

背景技術

従来から不揮発性の半導体記憶装置としては、代表的にはフラッシュメモリが用いられている。

このフラッシュメモリでは、図28に示すように、半導体基板901上にゲート絶縁膜908を介してフローティングゲート902、絶縁膜907、ワード線(コントロールゲート)903がこの順に形成されており、フローティングゲート902の両側には、拡散領域からなるソース線904及びビット線905が形成されてメモリセルを構成する。このメモリセルの周囲には、素子分離領域906が形成されている(特開平5-304277を参照)。

上記メモリセルは、フローティングゲート902中の電荷量の多寡として記憶を保持する。上記メモリセルを配列して構成したメモリセルアレイは、特定のワード線、ビット線を選択して所定の電圧を印加することにより、所望のメモリセルの書換え、読み出し動作を行なうことができる。

このようなフラッシュメモリでは、フローティングゲート902中の電荷量に変化したとき、図29に実線の曲線と破線の曲線で示すような、ドレイン電流 I_d 対ゲート電圧 V_g 特性を示す。すなわち、上記フローティングゲート902中の負電荷の量が増加すると、図29中の実線の曲線で示す特性から破線の曲線で示す特性になって、 I_d-V_g 曲線は、同じドレイン電流 I_d に対してゲート電圧 V_g が増加する方向にほぼ平行移動して、閾値電圧が増加する。

しかし、このようなフラッシュメモリでは、フローティングゲート 902 とワード線 903 とを隔てる絶縁膜 907 を配置することが機能上必要であるとともに、フローティングゲート 902 からの電荷漏れを防ぐために、ゲート絶縁膜の厚さを薄くすることが困難であった。そのため、実効的な絶縁膜 907 及びゲート絶縁膜の薄膜化は困難であり、メモリセルの微細化を阻害していた。

このため、上記メモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置では、回路面積をさらに小さくして確実な動作をさせるということができないという問題がある。

また、上記メモリ素子をメモリセルとしてメモリセルアレイに用いた半導体記憶装置では、書換え動作中にメモリセルアレイを含むメモリ回路に供給される電源電圧のレベルが低下すると、書換え不良などの誤動作が生じるという問題がある。ここで、書換えとは、少なくとも書込みもしくは消去を含む動作を指す。

また、上記メモリセルアレイを含むメモリ回路が用いられた携帯電子機器などにおいて、バッテリー駆動時間を伸ばすため、スタンバイ時における消費電力を低減することが必要である。特に、近年、動画像のリアルタイム処理などを行うことを目的とする集積回路などにおいてメモリ回路の占める割合が大きくなってきており、バッテリーによる長時間駆動のため、そのメモリ回路のスタンバイ時におけるリーク電流を低減することが大きな課題となっている。

20 発明の開示

そこで、本発明の目的は、微細化しても 1 メモリ素子あたり 2 ビット以上の記憶保持と安定した動作ができると共に、外部から供給される電源電圧のレベル低下に起因する書換え不良などの誤動作を防止できる半導体記憶装置を提供することにある。

また、本発明のもう 1 つの目的は、スタンバイ時のリーク電流を大幅に低減できる半導体記憶装置を提供することにある。

さらに、本発明のもう 1 つの目的は、上記半導体記憶装置を用いて小型化と性能向上および低消費電力化が可能な携帯電子機器を提供することにある。

上記目的を達成するため、本発明の半導体記憶装置は、半導体層上にゲート絶

縁膜を介して形成されたゲート電極と、上記ゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子をメモリセルとして用いたメモリセルアレイを備えると共に、外部から供給される電源電圧が所定電圧よりも低いとき、上記メモリセルアレイを含むメモリ回路に対するコマンドを禁止するロックアウト回路を備えている。

上記構成の半導体記憶装置によれば、上記メモリ素子をメモリセルとしてメモリセルアレイに用いることによって、微細化しても1メモリ素子あたり2ビット以上の記憶保持と安定した動作が可能となる。また、上記ロックアウト回路によって、外部から供給される電源電圧が所定電圧よりも低いとき、メモリセルアレイを含むメモリ回路に対するコマンドを禁止するので、メモリセルアレイを含むメモリ回路に供給される電源電圧のレベル低下に起因する書換え不良などの誤動作を防止できる。

また、一実施形態の半導体記憶装置は、上記外部から供給される電源電圧は、少なくとも上記メモリセルアレイを含むメモリ回路に供給される第1の電源電圧と出力回路に供給される第2の電源電圧である。そして、上記ロックアウト回路は、上記第1の電源電圧が第1の所定電圧以下であるとき、上記メモリセルアレイを含むメモリ回路に対するコマンドを禁止する第1のロックアウト信号を出力する電圧検出器と、上記第2の電源電圧が第2の所定電圧より低いとき、上記メモリセルアレイを含むメモリ回路に対するコマンドを禁止する第2のロックアウト信号を出力する電源電圧確認回路とを有している。

上記実施形態の半導体記憶装置によれば、上記電圧検出器によって、メモリセルアレイを含むメモリ回路に供給される電源電圧のレベル低下に起因する書換え不良などの誤動作を防止することが可能となり、さらに、電源電圧確認回路によって、メモリセルアレイを含むメモリ回路と外部とを繋ぐ出力回路についても、供給される電源電圧のレベル低下に起因する誤動作を防止することが可能となる。

また、一実施形態の半導体記憶装置は、上記電源電圧確認回路が、上記第1の電源電圧が上記第1の所定電圧より低いとき、上記メモリセルアレイを含むメモ

リ回路に対するコマンドを禁止するロックアウト信号を出力する。

上記実施形態の半導体記憶装置によれば、上記第1の電源電圧が第1の所定電圧より低いとき、電圧検出器より電源電圧確認回路に信号を送り、電源電圧確認回路からロックアウト信号を出力することによって、回路誤動作を防止でき、
5 実に所望の動作をさせることが可能となる。

また、一実施形態の半導体記憶装置は、上記第2の電源電圧と第2の所定電圧とを比較して、上記第2の電源電圧が第2の所定電圧よりも高いとき、上記第2の電源電圧が第2の所定電圧よりも高いことを表す信号を上記電源電圧確認回路に出力する比較器を備えている。

10 上記実施形態の半導体記憶装置によれば、上記比較器によって、入出力バッファ回路に供給される電源電圧と第2の所定電圧とを小面積の回路により高精度で比較することができ、この半導体記憶装置をより小さい回路面積でかつ正確に動作させることが可能となる。

また、一実施形態の半導体記憶装置は、上記電圧検出器が、上記第1の電源電圧が第1の所定電圧より低いとき、上記第1の電源電圧が第1の所定電圧より低いことを表す信号を上記電源電圧確認回路に出力する。
15

上記実施形態の半導体記憶装置によれば、上記第1の電源電圧が第1の所定電圧より低いとき、電圧検出器から電源電圧確認回路に第1の電源電圧が第1の所定電圧より低いことを表す信号を与えることによって、電源電圧確認回路における電圧レベルの検出を速やかに行い、電圧レベル検出の遅れによる誤動作を防止
20 することが可能となる。

また、一実施形態の半導体記憶装置は、上記電源電圧確認回路が、上記メモリセルアレイを含むメモリ回路にコマンドが与えられたことを表す信号を受けると、上記第2の電源電圧を確認する。

25 上記実施形態の半導体記憶装置によれば、上記メモリセルアレイを含むメモリ回路に電源が投入され、予め決められた電圧以上の電圧を維持した後、電圧レベルの検証がなされないままにアイドル状態となり、その後、再びメモリセルアレイを含むメモリ回路に対するコマンドが与えられたとき、上記メモリセルアレイを含むメモリ回路に対してコマンドが与えられたことを表す信号を電源電圧確認

回路に出力し、その信号を受けた電源電圧確認回路は、供給されている電源電圧のレベルを確認するアクティブな状態となる。したがって、この半導体記憶装置の電源投入後のアクティブ状態においてコマンドがメモリ回路に与えられたとき、電源電圧のレベルが適正な値であるかどうか検証することが可能となる。

- 5 また、一実施形態の半導体記憶装置は、上記電源電圧確認回路が、上記メモリセルアレイを含むメモリ回路にコマンドが与えられたことを表す信号に応じて上記第2の電源電圧の確認結果を表す信号を出力する。

 上記実施形態の半導体記憶装置によれば、電源投入後のアクティブ状態において、供給されている電源電圧のレベルが適正な値でない場合、上記メモリセルアレイを含むメモリ回路に対するコマンドを禁止することが可能となる。

10

 また、一実施形態の半導体記憶装置は、上記第2の所定電圧は、0.3V～1.2Vの範囲内とする。

 上記実施形態の半導体記憶装置によれば、上記第2の所定電圧を0.3V～1.2Vの範囲内に設定することによって、微細加工技術の進展に伴い電源電圧が低電圧化されても、トランジスタの大きさに応じて電源より適切な電圧レベルを供給し、誤動作の少ない半導体記憶装置を提供することが可能となる。

15

 また、一実施形態の半導体記憶装置は、上記電圧検出器からの第1のロックアウト信号または上記電源電圧確認回路からの第2のロックアウト信号の少なくとも一方が出力されると、上記メモリセルアレイを含むメモリ回路に対するコマンドが禁止される。

20

 上記実施形態の半導体記憶装置によれば、上記電圧検出器からの第1の電源電圧が第1の所定電圧より低いことを表す第1のロックアウト信号、または、上記電源電圧確認回路からの第2の電源電圧が第2の所定電圧より低いことを表す第2のロックアウト信号の少なくとも一方によって、上記メモリセルアレイを含むメモリ回路に対するコマンドを禁止することが可能となり、上記メモリセルアレイを含むメモリ回路に供給される第1の電源電圧、出力回路に供給される第2の電源電圧のいずれのレベル低下が原因となる書換え不良などの誤動作も防止することが可能となる。

25

 また、一実施形態の半導体記憶装置は、上記電圧検出器の電源電圧の供給状態

が上記第 1 の電源電圧によって制御される。

上記実施形態の半導体記憶装置によれば、上記電圧検出器の電源電圧の供給状態は、第 1 の電源電圧によって制御されることによって、例えば、第 1 の電源電圧の状態が予め決められた電圧以上となって電圧検出器が不要になったときに、消費電力削減のために電圧検出器をオフ状態とすることなどが可能となる。

また、一実施形態の半導体記憶装置は、上記第 2 の所定電圧を発生する電圧発生回路を備えており、上記比較器および電圧発生回路の電源電圧の供給状態がその第 2 の電源電圧によって制御される。

上記実施形態の半導体記憶装置によれば、上記比較器および電圧発生回路の電源電圧の供給状態は、第 2 の電源電圧によって制御されることによって、例えば、第 2 の電源電圧が予め決められた電圧以上となって比較器および電圧発生回路が不要となったときに、消費電力削減のため、これらをオフ状態とすることが可能となる。

また、一実施形態の半導体記憶装置は、上記メモリセルアレイを含むメモリ回路がアクティブ状態であるときにオンして、少なくとも上記メモリセルアレイを含むメモリ回路への電源電圧を供給する一方、上記メモリ回路がスタンバイ状態であるときにオフして、少なくとも上記メモリセルアレイを含むメモリ回路への電源電圧の供給を停止する電源供給スイッチを備えている。

上記実施形態の半導体記憶装置によれば、上記メモリ回路がスタンバイ状態であるときに電源供給スイッチをオフすることによって、スタンバイ時のリーク電流に起因する消費電力を削減することが可能となる。さらに、上記電源供給スイッチがオフ状態にあって半導体記憶装置への電源電圧の供給が止められているとき、メモリ回路に対するコマンドを禁止することにより、誤動作をより確実に防止できる。例えば、この半導体記憶装置がアクティブ状態からスタンバイ状態に移行したとき、電源電圧の供給が止められているにもかかわらず、アクティブ時の電源電圧により、電圧検出回路や電源電圧確認回路が誤った判定を行い、コマンドがメモリ回路に送られて動作に入るとき、電源電圧の供給が停止していることによって誤動作することを防止することが可能となる。

また、一実施形態の半導体記憶装置は、上記外部から供給される電源電圧が、

少なくとも上記メモリセルアレイを含むメモリ回路に供給される第1の電源電圧と出力回路に供給される第2の電源電圧であると共に、上記ロックアウト回路は、上記第1の電源電圧が上記第1の所定電圧以下であるとき、上記メモリセルアレイを含むメモリ回路に対するコマンドを禁止する第1のロックアウト信号を出力する電圧検出器と、上記第2の電源電圧が第2の所定電圧より低いとき、上記メモリセルアレイを含むメモリ回路に対するコマンドを禁止する第2のロックアウト信号を出力する電源電圧確認回路とを有している。

上記実施形態の半導体記憶装置によれば、上記電圧検出器によって、メモリセルアレイを含むメモリ回路に供給される電源電圧のレベル低下に起因する書換え不良などの誤動作を防止することが可能となり、さらに、電源電圧確認回路によって、メモリセルアレイを含むメモリ回路と外部とを繋ぐ出力回路についても、供給される電源電圧のレベル低下に起因する誤動作を防止することが可能となる。

本発明の半導体記憶装置は、メモリセルアレイを含むメモリ回路がスタンバイ状態のときに、外部から供給される複数の電源電圧のうちの少なくとも1つの供給を止める電源供給スイッチと、上記複数の電源電圧のうちのいずれか1つが所定電圧より低いとき、上記メモリ回路に対するコマンドを禁止するロックアウト回路とを備えている。

上記半導体記憶装置によれば、上記メモリ回路がスタンバイ状態であるときに電源供給スイッチをオフすることによって、スタンバイ時のリーク電流に起因する消費電力を削減することが可能となる。また、上記ロックアウト回路によって、外部から供給される電源電圧が所定電圧よりも低いとき、メモリセルアレイを含むメモリ回路に対するコマンドを禁止するので、メモリセルアレイを含むメモリ回路に供給される電源電圧のレベル低下に起因する書換え不良などの誤動作を防止できる。

本発明の半導体記憶装置の制御方法は、メモリセルアレイを含むメモリ回路に対するコマンドを禁止するための半導体記憶装置の制御方法であって、上記メモリ回路がスタンバイ状態のときに、外部から供給される複数の電源電圧のうちの少なくとも1つの供給を止めるステップと、上記複数の電源電圧のうちのいずれか1つが所定電圧より低いとき、上記メモリ回路に対するコマンドを禁止するス

テップとを有している。

上記半導体記憶装置の制御方法によれば、上記メモリセルアレイを含むメモリ回路がスタンバイ状態のときに電源電圧の供給を止めるステップを含むことによって、スタンバイ時のリーク電流に起因する消費電力を削減し、電子機器、特に

5 バッテリー駆動の携帯電子機器において、バッテリーの長時間駆動が可能となる。

本発明の半導体記憶装置の制御方法は、メモリセルアレイを含むメモリ回路に対するコマンドを禁止するための半導体記憶装置の制御方法であって、上記メモリ回路がスタンバイ状態であるかを調査するステップと、上記メモリ回路がスタンバイ状態のときに上記メモリ回路への電源電圧の供給を止めると共に、上記メモリ回路に対するコマンドを禁止するステップと、上記複数の電源電圧のうちの

10 少なくとも1つについて電源電圧確認回路により確認するステップと、上記複数の電源電圧のいずれか1つが所定電圧より低いとき、上記電源電圧確認回路からメモリ回路に対するコマンドを禁止するロックアウト信号を出力するステップとを有している。

上記半導体記憶装置の制御方法によれば、上記メモリセルアレイを含むメモリ回路がスタンバイ状態にあるとき、電源電圧の供給を停止すると共に、上記メモリ回路に対するコマンドを禁止するステップを含むことによって、スタンバイ状態におけるリーク電流に起因する消費電力を削減することができると共に、電源電圧の供給が止まった後にコマンドが実行されることによって生じる誤動作を防止

20 することが可能となる。さらに、電源電圧のうちの少なくとも1つが所定電圧よりも低い場合、コマンドを禁止することにより書換え不良などの誤動作を防止でき、所望の動作を得ることが可能となる。

一実施形態の半導体記憶装置の制御方法は、上記コマンドは、書換えコマンドとする。

上記実施形態の半導体記憶装置の制御方法によれば、上記書換えコマンドを禁止することによって、電源電圧のレベルに起因する書換えコマンド動作不良に起因する誤動作を防止し、所望の動作を得ることが可能となる。

また、一実施形態の半導体記憶装置の制御方法は、上記複数の電源電圧のうちの少なくとも1つと上記所定電圧とを比較器により比較することを特徴とする。

上記実施形態の半導体記憶装置の制御方法によれば、上記比較器が複数の電源電圧のうち少なくとも1つと所定電圧とを比較することによって、速やかに電源電圧のレベルを判定することができ、判定の遅れに起因する誤動作を防止できる。

また、一実施形態の半導体記憶装置の制御方法は、上記複数の電源電圧のうち
5 の上記メモリセルアレイを含むメモリ回路に供給される第1の電源電圧によって、
上記比較器および上記所定電圧を発生する電圧発生回路の電源電圧の供給状態が
制御されることを特徴とする。

上記実施形態の半導体記憶装置の制御方法によれば、上記比較器および電圧発生回路の電源電圧の供給状態が、上記複数の電源電圧のうちの上記メモリセルア
10 レイを含むメモリ回路に供給される第1の電源電圧によって制御されることによ
って、例えば、上記第1の電源電圧が予め決められた電圧よりも低いとき、電源
電圧確認回路は、出力回路に供給される第2の電源電圧の状態にかかわらず、比
較器および電圧発生回路をオン状態とすることによって、特に電源電圧が立ち上
がる場合、出力回路に供給される第2の電源電圧の判定を速やかに行うことが可
15 能となる。

また、一実施形態の半導体記憶装置の制御方法は、上記複数の電源電圧のうち
の上記メモリセルアレイを含むメモリ回路に供給される第1の電源電圧が予め決
められた範囲外であるか電圧検出器により検出し、上記第1の電源電圧が予め決
められた範囲外にあるとき、上記電圧検出器から上記メモリ回路に対するコマン
20 ドを禁止するロックアウト信号を出力する。

上記実施形態の半導体記憶装置の制御方法によれば、上記電圧検出器は、第1
の電源電圧が予め決められた範囲外にあるとき、メモリ回路に対するコマンドを
禁止することによって、電源電圧確認回路の状態にかかわらず、速やかにメモリ
回路にロックアウト信号(コマンドを禁止する信号)を伝達することが可能となり、
25 ロックアウト信号の伝達の遅延に起因する誤動作を防止できる。

また、一実施形態の半導体記憶装置の制御方法は、上記電圧検出器からのロッ
クアウト信号または上記電源電圧確認回路からのロックアウト信号の少なくとも
一方が出力されると、上記メモリセルアレイを含むメモリ回路に対するコマンド
が禁止される。

上記実施形態の半導体記憶装置の制御方法によれば、上記電圧検出器からのロックアウト信号または上記電源電圧確認回路からのロックアウト信号の少なくとも一方が出力されることによって、上記メモリセルアレイを含むメモリ回路に対するコマンドを禁止することによって、メモリセルアレイを含むメモリ回路に供給される第1の電源電圧、出力回路に供給される第2の電源電圧のいずれのレベル低下に起因する誤動作も防止することができる。

また、一実施形態の半導体記憶装置の制御方法は、上記電圧検出器の電源電圧の供給状態が上記第1の電源電圧によって制御される。

上記実施形態の半導体記憶装置の制御方法によれば、上記電圧検出器の電源電圧の供給状態は、第1の電源電圧によって制御されることによって、例えば、第1の電源電圧が予め決められた電圧以上となって電圧検出器が不要になると、消費電力削減のため、電圧検出器をオフ状態とすることが可能となる。

また、一実施形態の半導体記憶装置の制御方法は、上記複数の電源電圧のうちの出力回路に供給される電源電圧が上記所定電圧よりも低いとき、上記電源電圧確認回路から上記メモリ回路に対するコマンドを禁止するロックアウト信号を出力する。

上記実施形態の半導体記憶装置の制御方法によれば、上記出力回路に供給される電源電圧が所定電圧よりも低いとき、電源電圧確認回路によって、メモリ回路がコマンドを禁止することによって、出力回路に供給される電源電圧のレベル低下に起因するコマンド動作不良を防止できる。

また、一実施形態の半導体記憶装置の制御方法は、上記複数の電源電圧について上記電源電圧確認回路により確認する。

上記実施形態の半導体記憶装置の制御方法によれば、電源が投入され、予め決められた値以上の電圧を維持した後、電源電圧のレベルの検証がなされないままにアイドル状態となり、その後、再びメモリ回路にコマンドが与えられたとき、上記複数の電源電圧のレベルについて電源電圧確認回路による確認を行うことによって、供給されている複数の電源電圧のレベルが適正なものであるかどうか検証することが可能となる。

また、一実施形態の半導体記憶装置の制御方法は、上記複数の電源電圧のうち

の少なくとも1つに基づいて、上記メモリセルアレイを含むメモリ回路に対するコマンドが禁止されることを特徴とする。

上記実施形態の半導体記憶装置の制御方法によれば、電源投入後のアクティブ状態において、電源電圧が適正でないレベルとなっていた場合、速やかにコマンドを禁止することが可能となり、電源電圧のレベル低下に起因する誤動作を速やかに防止できる。

また、一実施形態の半導体記憶装置の制御方法は、上記複数の電源電圧のうちの上記メモリセルアレイを含むメモリ回路に供給される電源電圧が予め決められた範囲外であるとき、上記電源電圧確認回路から上記メモリ回路に対するコマンドを禁止するロックアウト信号を出力する。

上記実施形態の半導体記憶装置の制御方法によれば、電源投入後のアクティブ状態において、第1の電源電圧が予め決められた範囲外である場合、メモリ回路に対するコマンドを禁止することによって、アイドル状態後の電源電圧に適正でない電圧レベルに起因する誤動作を防止し、所望の動作を得ることが可能となる。

また、一実施形態の半導体記憶装置の制御方法は、上記複数の電源電圧のうちの実出力回路に供給される電源電圧を判定するための上記所定電圧が0.3V～1.2Vの範囲内とする。

上記実施形態の半導体記憶装置の制御方法によれば、上記所定電圧を0.3V～1.2Vの範囲内で設定することによって、微細加工技術の進展に伴い電源電圧が低電圧化されても、トランジスタの大きさに応じて適切なレベルの電源電圧を供給し、誤動作の少ない半導体記憶装置を提供することが可能となる。

本発明の半導体記憶装置は、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子をメモリセルとして用いたメモリセルアレイを備えると共に、上記メモリ回路がアクティブ状態であるときにオンして、少なくとも上記メモリセルアレイを含むメモリ回路への電源電圧を供給する一方、上記メモリ回路がスタンバイ状態であるときにオフして、少なくとも上記メモリセルアレイを含むメモリ回

路への電源電圧の供給を停止する電源供給スイッチを備える。

上記実施形態の半導体記憶装置によれば、上記メモリ素子をメモリセルとしてメモリセルアレイに用いることによって、微細化しても1メモリ素子あたり2ビット以上の記憶保持と安定した動作が可能となる。また、電源電圧の供給・停止を切り替えるための電源供給スイッチを設けることによって、スタンバイ状態であるときには、電源供給スイッチを切り電源の供給を止めることによって、この半導体記憶装置におけるスタンバイ時のリーク電流に起因する消費電力を削減することが可能となる。

また、一実施形態の半導体記憶装置は、上記電源供給スイッチが、メモリセルアレイを含むメモリ回路と同一の基板上に形成されている。

上記実施形態の半導体記憶装置の制御方法によれば、上記電源供給スイッチは、メモリセルアレイが形成された基板と同一の基板上に形成されていることによって、スイッチを小面積で構成することが可能となる。

また、一実施形態の半導体記憶装置は、上記メモリ素子の有するメモリ機能体の少なくとも一部が拡散領域の一部にオーバーラップしている。

さらに、別の一実施形態の半導体記憶装置は、上記メモリ素子のゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、絶縁膜膜厚が、ゲート絶縁膜の膜厚より薄く、かつ0.8nm以上である。

上記実施形態の半導体記憶装置によれば、上記半導体記憶装置は、従来より高速且つ安定した動作が可能となる。

また、一実施形態の半導体記憶装置は、上記メモリ素子の有するメモリ機能体は、ゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜を含む。

上記実施形態の半導体記憶装置によれば、上記半導体記憶装置は、従来より安定した動作が可能となる。

また、本発明の携帯電子機器は、上記半導体記憶装置またはその制御方法を用いる。

上記構成の携帯電子機器によれば、微細化しても1メモリ素子あたり2ビット

以上の記憶と安定した動作が可能で、かつ、微細化が容易な半導体記憶装置を備えており、メモリ素子への書込み・消去動作のとき、十分な電流を有する適切な電圧を供給することが可能である。したがって、小型化と性能向上および低消費電力化が可能な携帯電子機器を実現できる。

5

図面の簡単な説明

図 1 は本発明の第 1 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 2 A、図 2 B は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の変形例の要部の概略断面図である。

10

図 3 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の書込み動作を説明するための図である。

図 4 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の書込み動作を説明するための図である。

図 5 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の消去動作を説明するための図である。

15

図 6 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の消去動作を説明するための図である。

図 7 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の読み出し動作を説明する図である。

20

図 8 は本発明の第 2 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 9 は上記第 2 実施形態の半導体記憶装置の要部の拡大概略断面図である。

図 10 は上記第 2 実施形態の半導体記憶装置の変形例の要部の拡大概略断面図である。

25

図 11 は上記第 2 実施形態の半導体記憶装置におけるメモリ素子の電気特性を示すグラフである。

図 12 は上記第 2 実施形態の半導体記憶装置におけるメモリ素子の変形例の要部の概略断面図である。

図 1 3 は本発明の第 3 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 1 4 は本発明の第 4 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

5 図 1 5 は本発明の第 5 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 1 6 は本発明の第 6 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

10 図 1 7 は本発明の第 7 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 1 8 は本発明の第 8 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 1 9 は本発明の第 9 実施形態の半導体記憶装置におけるメモリ素子の電気特性を示すグラフである。

15 図 2 0 は本発明の第 1 0 実施形態の上記メモリ素子を用いた不揮発性メモリを含むシステムのブロック図である。

図 2 1 は図 2 0 に示す不揮発性メモリのブロック図である。

図 2 2 は上記不揮発性メモリのロックアウト回路のブロック図である。

20 図 2 3 は上記不揮発性メモリの電源電圧 V_{CC1} および V_{CC2} の時間変化を示す図である。

図 2 4 は上記不揮発性メモリの電源電圧 V_{CC1} および V_{CC2} の時間変化を示す図である。

図 2 5 は上記不揮発性メモリの電源電圧 V_{CC1} および V_{CC2} の時間変化を示す図である。

25 図 2 6 は本発明の第 1 1 実施形態の半導体記憶装置を組み込んだ液晶表示装置の概略構成図である。

図 2 7 は本発明の第 1 2 実施形態の携帯電子機器の一例としての携帯電話のブロック図である。

図 2 8 は従来のフラッシュメモリの要部の概略断面図である。

図 2 9 は従来のフラッシュメモリの電気特性を示すグラフである。

発明を実施するための最良の形態

まず、本発明の半導体記憶装置に用いる不揮発性のメモリ素子について、その概略を説明する。

上記メモリ素子は、主として、半導体層と、ゲート絶縁膜と、ゲート電極と、チャネル領域と、拡散領域と、メモリ機能体とから構成される。ここで、上記チャネル領域とは、通常、半導体層と同じ導電型の領域であって、ゲート電極直下の領域を意味し、拡散領域は、チャネル領域と逆導電型の領域を意味する。

具体的には、本発明のメモリ素子は、拡散領域である 1 つの第 1 導電型の領域と、チャネル領域である第 2 導電型の領域と、第 1 及び第 2 導電型の領域の境界を跨って配置された 1 つのメモリ機能体と、ゲート絶縁膜を介して設けられた電極とから構成されていてもよいが、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された 2 つのメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置される 2 つの拡散領域と、ゲート電極下に配置されたチャネル領域とから構成されることが適当である。

本発明の半導体記憶装置は、半導体層として半導体基板の上、好ましくは半導体基板内に形成された第 1 導電型のウェル領域の上に形成されることが好ましい。

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、シリコンゲルマニウム、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板が挙げられる。また、表面に半導体層を有するものとして、SOI

(Silicon on Insulator) 基板、SOS (Silicon on Sapphire) 基板又は多層SOI 基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面にシリコン層が形成されたSOI 基板等が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

この半導体層上には、素子分離領域が形成されていることが好ましく、さらに

トランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS (Local Oxidation of Silicon) 膜、トレンチ酸化膜、STI (Shallow Trench Isolation) 膜等種々の素子分離膜により形成することができる。半導体層は、P型又はN型の導電型を有していてもよく、半導体層には、少なくとも1つの第1導電型 (P型又はN型) のウェル領域が形成されていることが好ましい。半導体層及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体層としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、

5

10

チャンネル領域下にボディ領域を有していてもよい。

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm程度

15

の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく (幅広で) 形成されていてもよい。

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状又は下端部に凹部を有した形状で形成されている。なお、ゲート電極は、単層又は多層の導電膜によって分離されることなく、一体形状として形成されていることが好ましいが、単層又は多層の導電膜によって、分離した状態で配置していてもよい。また、ゲート電極は、側壁に側壁絶縁膜を有していてもよい。ゲート電極は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下にはチャンネル領域が形成されている。

20

25

なお、ゲート電極は、後述するメモリ機能体の側壁のみに形成されるか、あるいはメモリ機能体の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、メモリ素子の微細化が容易となる。また、このような単純な配置を有するメモリ素子は製造が容易であり、歩留まりを向上することができる。

メモリ機能体は、少なくとも電荷を保持する機能（以下「電荷保持機能」と記す）を有する。言換えると、電荷を蓄え、保持するか、電荷をトラップするか、電荷分極状態を保持する機能を有する。この機能は、例えば、電荷保持機能を有する膜又は領域をメモリ機能体が含むことにより発揮される。この機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシライド、ジルコニウムオキシライド、タンタルオキシライド等の高誘電体；酸化亜鉛；強誘電体；金属等が挙げられる。したがって、メモリ機能体は、例えば、シリコン窒化膜を含む絶縁膜；導電膜もしくは半導体層を内部に含む絶縁膜；導電体もしくは半導体ドットを1つ以上含む絶縁膜；電界により内部電荷が分極し、その状態が保持される強誘電体膜を含む絶縁膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

シリコン窒化膜などの電荷保持機能を有する膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。また、複数のメモリ素子を配列する場合、メモリ素子間の距離が縮まって隣接するメモリ機能体が接触しても、メモリ機能体が導電体からなる場合のように夫々のメモリ機能体に記憶された情報が失われることがない。さらに、コンタクトプラグをよりメモリ機能体と接近して配置することができ、場合によってはメモリ機能体と重なるように配置することができるので、メモリ素子の微細化が容易となる。

なお、記憶保持に関する信頼性を高めるためには、電荷保持機能を有する膜は、必ずしも膜状である必要はなく、電荷保持機能を有する膜が絶縁膜中に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に電荷保持機能を有する膜が分散していることが好ましい。

電荷保持膜として導電膜又は半導体層を用いる場合には、電荷保持膜が半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

導電膜又は半導体層を内部に含む絶縁膜をメモリ機能体として用いることにより、導電体又は半導体中への電荷の注入量を自由に制御でき、多値化しやすいため、好ましい。

さらに、導電体又は半導体ドットを1つ以上含む絶縁膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込み・消去が行ないやすくなり、低消費電力化することができ、好ましい。

また、メモリ機能体として、電界により分極方向が変化するPZT（チタン酸ジルコン酸鉛）、PLZT（ランタン・ドープジルコン酸チタン酸鉛）等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され、電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得ることができるため、高速に書込み・消去ができ、好ましい。

なお、メモリ機能体を構成する絶縁膜としては、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜であることが適当であり、この電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の

両側に配置しており、また、直接、ゲート絶縁膜を介して半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例として、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

拡散領域は、ソース／ドレイン領域として機能させることができ、半導体層又はウェル領域と逆導電型を有する。拡散領域と半導体層又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。拡散領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、拡散領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

拡散領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端と一致するように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、拡散領域（ソース／ドレイン）間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量、つまり、ゲート長方向における一方のゲート電極端から近い方の拡散領域までの距離は短い方が好ましい。特に重要なことは、メモリ機能体中の電荷保持機能を有する膜又は領域の少なくとも一部が、拡散領域の一部とオーバーラップしていることである。本発明の半導体記憶装置を構成するメモリ素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極と拡散領域間の電圧差により、メモリ機能体を横切る電界によって記憶を書き換えることであるためである。

拡散領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成された拡散領域上に、この拡散領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体層に比べて非常に大きいために、半導体層内における拡散領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、この拡散領域の一部は、ゲート電極とともに、メモリ機能体の少なくとも一部を挟持するように配置することが好ましい。

本発明のメモリ素子は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に単層又は積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、電荷保持機能を有する膜（以下「電荷保持膜」と記す）、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等の電荷保持膜を含む単層膜又は積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法；絶縁膜又は電荷保持膜を形成し、適当な条件下でエッチバックしてサイドウォールスペーサ状に残し、さらに電荷保持膜又は絶縁膜を形成し、同様にエッチバックしてサイドウォールスペーサ状に残す方法；粒子状の電荷保持材料を分散させた絶縁膜材料を、ゲート電極を含む半導体層上に塗布または堆積し、適当な条件下でエッチバックして、絶縁膜材料をサイドウォールスペーサ形状に残す方法；ゲート電極を形成した後、前記単層膜又は積層膜を形成し、マスクを用いてパターンニングする方法等が挙げられる。また、ゲート電極を形成する前に、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等を形成し、これらの膜のチャネル領域となる領域に開口を形成し、その上全面にゲート電極材料膜を形成し、このゲート電極材料膜を、開口を含み、開口よりも大きな形状でパターンニングする方法等が挙げられる。

このメモリ素子の形成方法の一例を説明する。

まず、公知の手順で、半導体基板上にゲート絶縁膜及びゲート電極を形成する。

続いて、上記半導体基板上全面に、膜厚0.8～20nm、より好ましくは膜厚3～10nmのシリコン酸化膜を、熱酸化法により形成し、又はCVD

(Chemical Vapor Deposition) 法により堆積する。次に、上記シリコン酸化膜上全面に、膜厚2～15nm、より好ましくは3～10nmのシリコン窒化膜をCVD法により堆積する。更に、上記シリコン窒化膜上全面に、20～70nmのシリコン酸化膜をCVD法により堆積する。

続いて、異方性エッチングによりシリコン酸化膜/シリコン窒化膜/シリコン酸化膜をエッチングバックすることにより、記憶に最適なメモリ機能体を、ゲート電極の側壁にサイドウォールスペーサ状に形成する。

その後、上記ゲート電極及びサイドウォールスペーサ状のメモリ機能体をマスクとしてイオン注入することにより、拡散層領域（ソース/ドレイン領域）を形成する。その後、公知の手順でシリサイド工程や上部配線工程を行なえばよい。

本発明のメモリ素子を配列してメモリセルアレイを構成した場合、メモリ素子の最良の形態は、例えば、

(1) 複数のメモリ素子のゲート電極が一体となってワード線の機能を有する、
(2) 上記ワード線の両側にはメモリ機能体が形成されている、
(3) メモリ機能体内で電荷を保持するのは絶縁体、特にシリコン窒化膜である、

(4) メモリ機能体はONO (Oxide Nitride Oxide) 膜で構成されており、シリコン窒化膜はゲート絶縁膜の表面と略平行な表面を有している、

(5) メモリ機能体中のシリコン窒化膜はワード線及びチャネル領域とシリコン酸化膜で隔てられている、

(6) メモリ機能体内のシリコン窒化膜と拡散領域とがオーバーラップしている、

(7) ゲート絶縁膜の表面と略平行な表面を有するシリコン窒化膜とチャネル領域又は半導体層とを隔てる絶縁膜の厚さと、ゲート絶縁膜の厚さが異なる、

(8) 1個のメモリ素子の書込み及び消去動作は単一のワード線により行なう、
(9) メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極（ワード線）がない、

(10) メモリ機能体の直下で拡散領域と接する部分に拡散領域の導電型と反対導電型の不純物濃度が濃い領域を有する、
という要件の全てを満たすものである。ただし、これらの要件の1つでも満たすものであればよい。

5 上述した要件の特に好ましい組み合わせは、例えば、(3) メモリ機能体内で電荷を保持するのが絶縁体、特にシリコン窒化膜であり、(6) メモリ機能体内の絶縁膜(シリコン窒化膜)と拡散領域とがオーバーラップしており、(9) メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極(ワード線)がない場合である。

10 要件(3)及び要件(9)を満たす場合には、以下のように、非常に有用である。まず、ビット線コンタクトをワード線側壁のメモリ機能体と、より接近して配置することができ、又はメモリ素子間の距離が接近しても、複数のメモリ機能体が干渉せず、記憶情報を保持できる。したがって、メモリ素子の微細化が容易となる。なお、メモリ機能体内の電荷保持領域が導電体の場合、容量カップリングによりメモリ素子間が近づくにつれて電荷保持領域間で干渉が起き、記憶情報を保持できなくなる。

15 また、メモリ機能体内の電荷保持領域が絶縁体(例えば、シリコン窒化膜)である場合、メモリセル毎にメモリ機能体を独立させる必要がなくなる。例えば、複数のメモリセルで共有される1本のワード線の両側に形成されたメモリ機能体
20 は、メモリセル毎に分離する必要が無く、1本のワード線の両側に形成されたメモリ機能体を、ワード線を共有する複数のメモリセルで共有することが可能となる。そのため、メモリ機能体を分離するフォト、エッチング工程が不要となり、製造工程が簡略化される。さらに、フォトリソグラフィ工程の位置合わせマージン、エッチングの膜減りマージンが不要となるため、メモリセル間のマージンを
25 縮小できる。したがって、メモリ機能体内の電荷保持領域が導電体(例えば、多結晶シリコン膜)である場合と比較して、同じ微細加工レベルで形成しても、メモリセル占有面積を微細化することができる。なお、メモリ機能体内の電荷保持領域が導電体である場合、メモリ機能体をメモリセル毎に分離するフォト、エッチング工程が必要となり、フォトの位置合わせマージン、エッチングの膜減りマ

ージンが必要となる。

さらに、メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極がなく素子構造が単純であるから工程数が減少し、歩留まりを向上させることができる。したがって、論理回路やアナログ回路を構成するトランジスタとの混載を容易にすることができるとともに、安価な半導体記憶装置を得ることができる。

また、要件（３）及び（９）を満たす場合であって、さらに要件（６）を満たす場合には、より有用である。つまり、メモリ機能体内の電荷保持領域と拡散領域とをオーバーラップさせることにより、非常に低電圧で書込み、消去が可能となる。具体的には、５Ｖ以下という低電圧により、書込み及び消去動作を行なうことができる。この作用は、回路設計上においても非常に大きな効果である。フラッシュメモリのような高電圧をチップ内で作る必要がなくなるため、莫大な占有面積が必要となるチャージポンピング回路を省略又は規模を小さくすることが可能となる。特に、小規模容量のメモリを調整用としてロジックＬＳＩに内蔵する場合、メモリ部の占有面積はメモリセルよりも、メモリセルを駆動する周辺回路の占有面積が支配的となるため、メモリセル用電圧昇圧回路を省略又は規模を小さくすることは、チップサイズを縮小させるためには最も効果的となる。

一方、要件（３）を満たさない場合、つまり、メモリ機能体内で電荷を保持するのが導電体である場合は、要件（６）を満たさない、つまり、メモリ機能体内の導電体と拡散領域がオーバーラップしていない場合でも、書込み動作を行なうことができる。これは、メモリ機能体内の導電体がゲート電極との容量カップリングにより書込み補助を行なうからである。

また、要件（９）を満たさない場合、つまり、メモリ機能体の上に書込み及び消去動作を補助する機能を有する電極がある場合は、要件（６）を満たさない、つまり、メモリ機能体内の絶縁体と拡散領域とがオーバーラップしていない場合でも、書込み動作を行なうことができる。

本発明の半導体記憶装置においては、メモリ素子は、その一方又は両方に、トランジスタが直列に接続していてもよいし、ロジックトランジスタと、同一のチップ上に混載されていてもよい。このような場合には、本発明の半導体記憶装置、

特にメモリ素子を、トランジスタ及びロジックトランジスタなどの通常の標準トランジスタの形成プロセスと非常に親和性が高い工程で形成することができるため、同時に形成することができる。したがって、メモリ素子とトランジスタ又はロジックトランジスタとを混載するプロセスは非常に簡便なものとなり、安価な混載装置を得ることができる。

5 本発明の半導体記憶装置は、メモリ素子が、1つのメモリ機能体に2値又はそれ以上の情報を記憶させることができ、これにより、4値又はそれ以上の情報を記憶するメモリ素子として機能させることができる。なお、メモリ素子は、2値の情報を記憶させるのみでもよい。また、メモリ素子を、メモリ機能体による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備えたメモリセルとしても機能させることができる。

10 本発明の半導体記憶装置は、論理素子又は論理回路等と組み合わせることにより、パーソナルコンピュータ、ノート、ラップトップ、パーソナル・アシスタント/発信機、ミニコンピュータ、ワークステーション、メインフレーム、マルチプロセッサ・コンピュータ又は他のすべての型のコンピュータシステム等のデータ処理システム；CPU、メモリ、データ記憶装置等のデータ処理システムを構成する電子部品；電話、PHS (Personal Handiphone System: パーソナル・ハンディホン・システム)、モデム、ルータ等の通信機器；ディスプレイパネル、プロジェクト等の画像表示機器；プリンタ、スキャナ、複写機等の事務機器；ビデオカメラ、デジタルカメラ等の撮像機器；ゲーム機、音楽プレーヤ等の娯楽機器；携帯情報端末、時計、電子辞書等の情報機器；カーナビゲーションシステム、カーオーディオ等の車載機器；動画、静止画、音楽等の情報を記録、再生するためのAV (Audio Visual) 機器；洗濯機、電子レンジ、冷蔵庫、炊飯器、食器洗い機、掃除機、エアコン等の電化製品；マッサージ器、体重計、血圧計等の健康管理機器；ICカード、メモリカード等の携帯型記憶装置等の電子機器への幅広い
20 応用が可能である。特に、携帯電話、携帯情報端末、ICカード、メモリカード、携帯型コンピュータ、携帯型ゲーム機、デジタルカメラ、ポータブル動画プレーヤ、ポータブル音楽プレーヤ、電子辞書、時計等の携帯電子機器への応用が有効である。なお、本発明の半導体記憶装置は、電子機器の制御回路又はデータ記憶

25

回路の少なくとも一部として内蔵されるか、あるいは必要に応じて着脱可能に組み込んでよい。

以下に、本発明の半導体記憶装置および携帯電子機器の実施の形態を図面に基づいて詳細に説明する。

5 (第1実施形態)

この実施の形態の半導体記憶装置は、図1に示すような、不揮発性メモリ素子の一例としての不揮発メモリ素子1001を備える。

10 このメモリ素子1001は、半導体基板1101表面に形成されたP型ウェル領域1102上にゲート絶縁膜1103を介してゲート電極1104が形成されている。ゲート電極1104の上面及び側面には、電荷を保持するトラップ準位を有し、電荷保持膜となるシリコン窒化膜1109が配置されており、シリコン窒化膜1109のなかでゲート電極1104の両側壁部分が、それぞれ実際に電荷を保持するメモリ機能体1105a、1105bとなっている。ここで、メモリ機能体とは、電荷保持膜のうちで書換え動作により実際に電荷が蓄積される部分
15 を指す。ゲート電極1104の両側であってP型ウェル領域1102内に、それぞれソース領域又はドレイン領域として機能するN型の拡散領域1107a、1107bが形成されている。拡散領域1107a、1107bは、オフセット構造を有している。すなわち、拡散領域1107a、1107bはゲート電極下の領域1121には達しておらず、電荷保持膜(シリコン窒化膜1109)下のオフセット領域1120がチャネル領域の一部を構成している。
20

なお、実質的に電荷を保持するメモリ機能体1105a、1105bは、ゲート電極1104の両側壁部分である。したがって、この部分に対応する領域にのみ、シリコン窒化膜1109が形成されていればよい(図2A参照)。また、メモリ機能体1105a、1105bは、ナノメートルサイズの導電体又は半導体
25 からなる微粒子1112が絶縁膜1111中に散点状に分布する構造を有しているもよい(図2B参照)。このとき、微粒子1112が1nm未満であると、量子効果が大きすぎるためにドットに電荷がトンネルするのが困難になり、10nmを超えると室温では顕著な量子効果が現れなくなる。したがって、微粒子1112の直径は1nm~10nmの範囲にあることが好ましい。さらに、電荷保

持膜となるシリコン窒化膜 1109 は、ゲート電極の側面においてサイドウォールスペーサ状に形成されていてもよい（図 3 参照）。

メモリ素子の書込み動作原理を、図 3 及び図 4 を用いて説明する。なお、ここではメモリ機能体 1131a、1131b 全体が電荷を保持する機能を有する場合について説明する。また、書込みとは、メモリ素子が N チャンネル型である場合にはメモリ機能体 1131a、1131b に電子を注入することを指す。以後、メモリ素子は N チャンネル型であるとして説明する。

第 2 のメモリ機能体 1131b に電子を注入する（書込む）ためには、図 3 に示すように、N 型の第 1 の拡散領域 1107a をソース電極に、N 型の第 2 の拡散領域 1107b をドレイン電極とする。例えば、第 1 の拡散領域 1107a 及び P 型ウェル領域 1102 に 0 V、第 2 の拡散領域 1107b に +5 V、ゲート電極 1104 に +5 V を印加する。このような電圧条件によれば、反転層 1226 が、第 1 の拡散領域 1107a（ソース電極）から伸びるが、第 2 の拡散領域 1107b（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第 2 の拡散領域 1107b（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第 2 のメモリ機能体 1131b に注入されることにより書込みが行なわれる。なお、第 1 のメモリ機能体 1131a 近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。

一方、第 1 のメモリ機能体 1131a に電子を注入する（書込む）ためには、図 4 に示すように、第 2 の拡散領域 1107b をソース電極に、第 1 の拡散領域 1107a をドレイン電極とする。例えば、第 2 の拡散領域 1107b 及び P 型ウェル領域 1102 に 0 V、第 1 の拡散領域 1107a に +5 V、ゲート電極 1104 に +5 V を印加する。このように、第 2 のメモリ機能体 1131b に電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第 1 のメモリ機能体 1131a に電子を注入して、書込みを行なうことができる。

次に、メモリ素子の消去動作原理を図 5 及び図 6 を用いて説明する。

第 1 のメモリ機能体 1131a に記憶された情報を消去する第 1 の方法では、図 5 に示すように、第 1 の拡散領域 1107a に正電圧（例えば、+5 V）、P

型ウェル領域 1102 に 0 V を印加して、第 1 の拡散領域 1107 a と P 型ウェル領域 1102 との PN 接合に逆方向バイアスをかけ、さらにゲート電極 1104 に負電圧（例えば、-5 V）を印加する。このとき、PN 接合のうちゲート電極 1104 付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルにより PN 接合の P 型ウェル領域 1102 側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極 1104 方向に引きこまれ、その結果、第 1 のメモリ機能体 1131 a にホール注入が行なわれる。このようにして、第 1 のメモリ機能体 1131 a の消去が行なわれる。このとき第 2 の拡散領域 1107 b には 0 V を印加すればよい。

第 2 のメモリ機能体 1131 b に記憶された情報を消去する場合は、上記において第 1 の拡散領域と第 2 の拡散領域との電位を入れ替えればよい。

第 1 のメモリ機能体 1131 a に記憶された情報を消去する第 2 の方法では、図 6 に示すように、第 1 の拡散領域 1107 a に正電圧（例えば、+4 V）、第 2 の拡散領域 1107 b に 0 V、ゲート電極 1104 に負電圧（例えば、-4 V）、P 型ウェル領域 1102 に正電圧（例えば、+0.8 V）を印加する。この際、P 型ウェル領域 1102 と第 2 の拡散領域 1107 b との間に順方向電圧が印加され、P 型ウェル領域 1102 に電子が注入される。注入された電子は、P 型ウェル領域 1102 と第 1 の拡散領域 1107 a との PN 接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN 接合において、電子-ホール対を発生させる。すなわち、P 型ウェル領域 1102 と第 2 の拡散領域 1107 b との間に順方向電圧を印加することにより、P 型ウェル領域 1102 に注入された電子がトリガーとなって、反対側に位置する PN 接合でホットホールが発生する。PN 接合で発生したホットホールは負の電位をもつゲート電極 1104 方向に引きこまれ、その結果、第 1 のメモリ機能体 1131 a に正孔注入が行なわれる。

この方法によれば、P 型ウェル領域と第 1 の拡散領域 1107 a との PN 接合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第 2 の拡散領域 1107 b から注入された電子は、

PN接合で電子-正孔対が発生するトリガーとなり、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。特に、オフセット領域1120（図1参照）が存在する場合は、負の電位が印加されたゲート電極によりPN接合が急峻となる効果が少ない。そのため、バンド間トンネルによるホットホールの発生が難しいが、第2の方法はその欠点を補い、低電圧で消去動作を実現することができる。

5 なお、第1のメモリ機能体1131aに記憶された情報を消去する場合、第1の消去方法では、第1の拡散領域1107aに+5Vを印加しなければならなかったが、第2の消去方法では、+4Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによるメモリ素子の劣化を抑制することができる。

10 また、いずれの消去方法によっても、メモリ素子は過消去が起きにくい。ここで過消去とは、メモリ機能体に蓄積された正孔の量が増大するにつれ、飽和することなく閾値が低下していく現象である。フラッシュメモリを代表とするEEPROM（電氣的消去書き込み可能な読み出し専用メモリ）では大きな問題となっており、特に閾値が負になった場合にメモリセルの選択が不可能になるという致命的な動作不良を生じる。一方、本発明の半導体記憶装置におけるメモリ素子では、メモリ機能体に大量の正孔が蓄積された場合においても、メモリ機能体下に電子が誘起されるのみで、ゲート絶縁膜下のチャネル領域のポテンシャルにはほとんど影響を与えない。消去時の閾値はゲート絶縁膜下のポテンシャルにより決まるので、過消去が起きにくくなる。

15 さらに、メモリ素子の読み出し動作原理を、図7を用いて説明する。

20 第1のメモリ機能体1131aに記憶された情報を読み出す場合、第1の拡散領域1107aをソース電極に、第2の拡散領域1107bをドレイン電極とし、トランジスタを動作させる。例えば、第1の拡散領域1107a及びP型ウェル領域1102に0V、第2の拡散領域1107bに+1.8V、ゲート電極1104に+2Vを印加する。この際、第1のメモリ機能体1131aに電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1のメモリ機能体1131aに電子が蓄積している場合は、第1のメモリ機能体1131a近傍で反

転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1のメモリ機能体1131aの記憶情報を読み出すことができる。特に、ピンチオフ動作させるような電圧を与えて読み出す場合、第1のメモリ機能体1131aにおける電荷蓄積の状態について、1131bにおける電荷蓄積の有無に影響されることなく、より高精度に判定することが可能となる。

第2のメモリ機能体1131bに記憶された情報を読み出す場合、第2の拡散領域1107bをソース電極に、第1の拡散領域1107aをドレイン電極とし、トランジスタを動作させる。図示しないが、例えば、第2の拡散領域1107b及びP型ウェル領域1102に0V、第1の拡散領域1107aに+1.8V、ゲート電極1104に+2Vを印加すればよい。このように、第1のメモリ機能体1131aに記憶された情報を読み出す場合とは、ソース/ドレイン領域を入れ替えることにより、第2のメモリ機能体1131bに記憶された情報の読み出しを行なうことができる。

なお、ゲート電極1104で覆われないチャネル領域（オフセット領域1120）が残されている場合、ゲート電極1104で覆われないチャネル領域においては、メモリ機能体1131a、1131bの余剰電荷の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域1120の幅があまり大きいと、ドレイン電流が大きく減少し、読み出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読み出し速度が得られるように、オフセット領域1120の幅を決定することが好ましい。

拡散領域1107a、1107bがゲート電極1104端に達している場合、つまり、拡散領域1107a、1107bとゲート電極1104とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース/ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）する。したがって、ドレイン電流の検出により読み出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散領域1107a、1107

bとゲート電極1104とがオーバーラップしていない（オフセット領域1120が存在する）ほうが好ましい。

5 以上の動作方法により、1トランジスタ当たり選択的に2ビットの書込み及び消去が可能となる。また、メモリ素子のゲート電極1104にワード線WLを、第1の拡散領域1107aに第1のビット線BL1を、第2の拡散領域1107bに第2のビット線BL2をそれぞれ接続し、メモリ素子を配列することにより、メモリセルアレイを構成することができる。

10 また、上述した動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当たり2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極とを固定して1ビットメモリとして動作させてもよい。この場合ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減することができる。

15 以上の説明から明らかなように、本発明の半導体記憶装置におけるメモリ素子では、メモリ機能体がゲート絶縁膜と独立して形成され、ゲート電極の両側に形成されているため、2ビット動作が可能である。また、各メモリ機能体はゲート電極により分離されているので、書換え時の干渉が効果的に抑制される。さらに、ゲート絶縁膜は、メモリ機能体とは分離されているので、薄膜化して短チャネル効果を抑制することができる。したがってメモリ素子、ひいては半導体記憶装置の微細化が容易となる。

20 また、図面の記載において、同一の材料及び物質を用いている部分においては、同一の符号を付しており、必ずしも同一の形状を示すものではない。

また、図面は模式的なものであり、厚みと平面寸法の関係、各層や各部の厚みや大きさの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや大きさの寸法は、以下の説明を斟酌して判断すべきものである。

25 また図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

また、本明細書に記載の各層や各部の厚みや大きさは、特に説明がない場合は、半導体記憶装置の形成を完了した段階での最終形状の寸法である。よって、膜や不純物領域等を形成した直後の寸法と比較して最終形状の寸法は、後の工程の熱

履歴等によって多少変化することに留意すべきである。

(第2実施形態)

この実施の形態の半導体記憶装置におけるメモリ素子は、図8に示すように、メモリ機能体1261、1262が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であってもよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であってもよい）とから構成される以外は、図1のメモリ素子1001と実質的に同様の構成である。

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜1242、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜1241、1243を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。また、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができ、電荷保持膜内での電荷の移動を制限して、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。さらに、シリコン窒化膜1242がシリコン酸化膜1241、1243で挟まれた構造とすることにより、書換え動作時の電荷注入効率が高くなり、より高速な動作が可能となる。なお、このメモリ素子においては、シリコン窒化膜1242を強誘電体で置き換えてもよい。

また、メモリ機能体1261、1262における電荷を保持する領域（シリコン窒化膜1242）は、拡散領域1212、1213とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散領域1212、1213の少なくとも一部が領域上に、電荷を保持する領域（シリコン窒化膜1242）の少なくとも一部が存在することを意味する。なお、1211は半導体基板、1214はゲート絶縁膜、1271はゲート電極1217と拡散領域1212、1213とのオフセット領域である。図示しないが、ゲート絶縁膜1214下であって半導体基板1211の最表面はチャネル領域となる。

メモリ機能体1261、1262における電荷を保持する領域であるシリコン

窒化膜1242と拡散領域1212、1213とがオーバーラップすることによる効果を説明する。

図9に示したように、メモリ機能体1262周辺部において、ゲート電極1217と拡散領域1213とのオフセット量を $W1$ とし、ゲート電極1217のチャネル長方向の切断面におけるメモリ機能体1262の幅を $W2$ とすると、メモリ機能体1262と拡散領域1213とのオーバーラップ量は、 $W2 - W1$ で表される。ここで重要なことは、メモリ機能体1262のうちシリコン窒化膜1242で構成されたメモリ機能体1262が、拡散領域1213とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

図9では、メモリ機能体1262のうち、シリコン窒化膜1242のゲート電極1217と離れた側の端が、ゲート電極1217から離れた側のメモリ機能体1262の端と一致しているため、メモリ機能体1262の幅を $W2$ として定義した。

なお、図10に示すように、メモリ機能体1262aのうちシリコン窒化膜1242aのゲート電極1217aと離れた側の端が、ゲート電極1217aから離れた側のメモリ機能体1262aの端と一致していない場合は、 $W2$ をゲート電極端からシリコン窒化膜1242aのゲート電極1217aと遠い側の端までと定義すればよい。

図11は、図9のメモリ素子の構造において、メモリ機能体1262の幅 $W2$ を100nmに固定し、オフセット量 $W1$ を変化させたときのドレイン電流 I_d を示している。ここで、ドレイン電流は、メモリ機能体1262を消去状態（ホールが蓄積されている）とし、拡散領域1212、1213をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。図11から明らかなように、 $W1$ が100nm以上（すなわち、シリコン窒化膜1242と拡散領域1213とがオーバーラップしない）では、ドレイン電流が急速に減少している。ドレイン電流値は、読み出し動作速度にほぼ比例するので、 $W1$ が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜1242と拡散領域1213とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、量産製造においてばらつきも考慮した場合、

電荷を保持する機能を有する膜であるシリコン窒化膜1242の少なくとも一部とソース/ドレイン領域とがオーバーラップしなければ、事実上メモリ機能を得ることが困難である。

5 上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散領域1212、1213とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読み出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値
10 として60nmとした場合の方が、読み出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、W1=W2では、この条件を到底達成できない。また、製造ばらつきまで考慮した場合、 $(W2 - W1) > 10 \text{ nm}$ であることがより好ましい。

メモリ機能体1261（領域1281）に記憶された情報の読み出しは、第1
15 実施形態と同様に、拡散領域1212をソース電極とし、拡散領域1213をドレイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、他方のメモリ機能体に近い領域に形成させるのが好ましい。これにより、メモリ機能体1262の記憶状況の如何にかかわらず、メモリ機能体1261の記憶情報を感度よく検出
20 することができ、2ビット動作を可能にする大きな要因となる。

一方、2つのメモリ機能体の片側のみに情報を記憶させる場合又は2つのメモリ機能体を同じ記憶状態にして使用する場合には、読み出し時に必ずしもピンチオフ点を形成しなくてもよい。

25 なお、図8には図示していないが、半導体基板1211の表面にウェル領域（Nチャネル素子の場合はP型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャネル領域の不純物濃度をメモリ動作（書換え動作及び読み出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャネル効果）を制御するのが容易になる。

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むことが好ましい。いいかえると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図12に示したように、メモリ機能体1262の電荷保持膜であるシリコン窒化膜1242aが、ゲート絶縁膜1214表面と略平行な面を有している。言い換えると、シリコン窒化膜1242aは、ゲート絶縁膜1214表面に対応する高さから、均一な高さに形成されることが好ましい。

メモリ機能体1262中に、ゲート絶縁膜1214表面と略平行なシリコン窒化膜1242aがあることにより、シリコン窒化膜1242aに蓄積された電荷の多寡によりオフセット領域1271での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、シリコン窒化膜1242aをゲート絶縁膜1214の表面と略平行とすることにより、オフセット量(W1)がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、シリコン窒化膜1242a上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、メモリ機能体1262は、ゲート絶縁膜1214の表面と略平行なシリコン窒化膜1242aとチャネル領域(又はウェル領域)とを隔てる絶縁膜(例えば、シリコン酸化膜1244のうちオフセット領域1271上の部分)を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良いメモリ素子を得ることができる。

なお、シリコン窒化膜1242aの膜厚を制御すると共に、シリコン窒化膜1242a下の絶縁膜(シリコン酸化膜1244のうちオフセット領域1271上の部分)の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、シリコン窒化膜1242a下の絶縁膜の最小膜厚値から、シリコン窒化膜1242a下の絶縁膜の最大膜厚値とシリコン窒化膜1242aの最大膜厚値との和までの間に制御することができる。これにより、シリコン窒化膜1242aに蓄えられた電荷により

発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

(第3実施形態)

この実施の形態の半導体記憶装置におけるメモリ機能体1262は、電荷保持膜であるシリコン窒化膜1242が、図13に示すように、略均一な膜厚で、ゲート絶縁膜1214の表面と略平行に配置され(領域1281)、さらに、ゲート電極1217側面と略平行に配置された(領域1282)形状を有している。

ゲート電極1217に正電圧が印加された場合には、メモリ機能体1262中の電気力線は矢印1283で示すように、シリコン窒化膜1242を2回(領域1282及び領域1281部分)通過する。なお、ゲート電極1217に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜1242の比誘電率は約6であり、シリコン酸化膜1241、1243の比誘電率は約4である。したがって、電荷保持膜の領域1281のみが存在する場合よりも、電気力線(矢印1283)方向におけるメモリ機能体1262の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極1217に印加された電圧の多くの部分が、オフセット領域1271における電界を強くするために使われることになる。

書換え動作時に電荷がシリコン窒化膜1242に注入されるのは、発生した電荷がオフセット領域1271における電界により引き込まれるためである。したがって、シリコン窒化膜1242が領域1282を含むことにより、書換え動作時にメモリ機能体1262に注入される電荷が増加し、書換え速度が増大する。

なお、シリコン酸化膜1243の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜1214の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域(またはウェル領域)とを隔てる絶縁膜(シリコン酸化膜1241のうちオ

フセット領域 1 2 7 1 上の部分) をさらに含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

5 また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜 (シリコン酸化膜 1 2 4 1 のうちゲート電極 1 2 1 7 に接した部分) をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、メモリ素子の信頼性を向上させることができる。

10 さらに、第 2 実施形態と同様に、シリコン窒化膜 1 2 4 2 下の絶縁膜 (シリコン酸化膜 1 2 4 1 のうちオフセット領域 1 2 7 1 上の部分) の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜 (シリコン酸化膜 1 2 4 1 のうちゲート電極 1 2 1 7 に接した部分) の膜厚を一定に制御することが好ましい。これにより、シリコン窒化膜 1 2 4 2 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することが

15 できる。

(第 4 実施形態)

この実施の形態では、半導体記憶装置におけるメモリ素子のゲート電極、メモリ機能体及びソース/ドレイン領域間距離の最適化について説明する。

20 図 1 4 に示したように、A はチャネル長方向の切断面におけるゲート電極長、B はソース/ドレイン領域間の距離 (チャネル長)、C は一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端 (ゲート電極と離れている側) から他方のメモリ機能体内の電荷を保持する機能を有する膜の端 (ゲート電極と離れている側) までの距離を示す。

25 このようなメモリ素子では、 $A < B$ であることが好ましい。このような関係を満たすことにより、チャネル領域のうちゲート電極 1 2 1 7 下の部分と拡散領域 1 2 1 2、1 2 1 3 との間にはオフセット領域 1 2 7 1 が存在することとなる。これにより、メモリ機能体 1 2 6 1、1 2 6 2 (シリコン窒化膜 1 2 4 2) に蓄積された電荷により、オフセット領域 1 2 7 1 の全領域において、反転の容易性

が効果的に変動する。したがって、メモリ効果が増大し、特に読み出し動作の高速化が実現する。

また、ゲート電極 1 2 1 7 と拡散領域 1 2 1 2、1 2 1 3 がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極に電圧を印加したときのオフセット領域の反転のしやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。

ただし、メモリ効果が発現する限りにおいては、必ずしもオフセット領域 1 2 7 1 が存在しなくてもよい。オフセット領域 1 2 7 1 が存在しない場合においても、拡散領域 1 2 1 2、1 2 1 3 の不純物濃度が十分に薄ければ、メモリ機能体 1 2 6 1、1 2 6 2 (シリコン窒化膜 1 2 4 2) においてメモリ効果が発現し得る。

また、図 1 1 で既に述べたように、シリコン窒化膜 1 2 4 2 の少なくとも一部とソース/ドレイン領域 1 2 1 2、1 2 1 3 がオーバーラップしなければ、事実上、メモリ機能を得ることが困難であるから、 $B < C$ であることが好ましい。

このようなことから、 $A < B < C$ であるのが最も好ましい。

(第 5 実施形態)

この実施の形態における半導体記憶装置のメモリ素子は、図 1 5 に示すように、第 2 実施形態における半導体基板を SOI 基板とする以外は、実質的に同様の構成を有する。

このメモリ素子は、半導体基板 1 2 8 6 上に埋め込み酸化膜 1 2 8 8 が形成され、さらにその上に SOI 層が形成されている。SOI 層内には拡散領域 1 2 1 2、1 2 1 3 が形成され、それ以外の領域はボディ領域 1 2 8 7 となっている。

このメモリ素子によっても、第 2 実施形態のメモリ素子と同様の作用効果を奏する。さらに、拡散領域 1 2 1 2、1 2 1 3 とボディ領域 1 2 8 7 との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

(第 6 実施形態)

この実施の形態の半導体記憶装置におけるメモリ素子は、図 1 6 に示すように、

N型の拡散領域1212、1213のチャネル側に隣接して、P型高濃度領域1291を追加した以外は、第2実施形態のメモリ素子と実質的に同様の構成を有する。

すなわち、P型高濃度領域1291におけるP型を与える不純物（例えばボロン）濃度が、領域1292におけるP型を与える不純物濃度より高い。P型高濃度領域1291におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域1292のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

このように、P型高濃度領域1291を設けることにより、拡散領域1212、1213と半導体基板1211との接合が、メモリ機能体1261、1262の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域1292の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読み出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読み出し速度が高速なメモリ素子を得ることができる。

また、図16において、ソース/ドレイン領域近傍であってメモリ機能体の下（すなわち、ゲート電極の直下ではない）において、P型高濃度領域1291を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域1291がゲート電極の直下にある場合に比べて著しく大きい。メモリ機能体に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極下のチャネル領域（領域1292）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域1291の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域1291をメモリ機能体の下であってソース/ドレイン領域近傍に配置することにより、書込み時の閾値のみが

非常に大きく変動し、メモリ効果（書込み時と消去時での閾値の差）を著しく増大させることができる。

（第7実施形態）

この実施の形態の半導体記憶装置におけるメモリ素子は、図17に示すように、
5 電荷保持膜（シリコン窒化膜1242）とチャネル領域又はウェル領域1211
とを隔てる絶縁膜1241の厚さ（T1）が、ゲート絶縁膜1214の厚さ（T2）よりも薄いこと以外は、第2実施形態と実質的に同様の構成を有する。

上記ゲート絶縁膜1214は、メモリの書換え動作時における耐圧の要請から、
その厚さT2には下限値が存在する。しかし、上記絶縁膜1241の厚さT1は、
10 耐圧の要請にかかわらず、T2よりも薄くすることが可能である。

このメモリ素子において、上述のようにT1に対する設計の自由度が高いのは
以下の理由による。

つまり、このメモリ素子においては、上記電荷保持膜（シリコン窒化膜1242）と、
15 チャネル領域又はウェル領域1211とを隔てる絶縁膜1241は、ゲート電極1217と、
チャネル領域又はウェル領域1211とに挟まれていない。そのため、上記電荷保持膜（シリコン窒化膜1242）と、チャネル領域又はウェル領域1211とを隔てる上記絶縁膜1241には、ゲート電極1217と、チャネル領域又はウェル領域1211間に働く高電界が直接作用せず、ゲート電極1217から横方向に広がる比較的弱い電界が作用する。そのため、上記絶縁膜1241に対する耐圧の要請にかかわらず、T1をT2より薄くすることが可能になる。T1を薄くすることにより、メモリ機能体1261、1262への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜1242に電荷が蓄積された時にチャネル領域又はウェル領域1211に誘起される電荷
20 量が増えるため、メモリ効果を増大させることができる。

ところで、メモリ機能体中での電気力線は、図13の矢印1284で示すように、シリコン窒化膜1242を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書換え動作時においては大きな役割を果たしている。T1を薄くすることによりシリコン

窒化膜 1 2 4 2 が図の下側に移動し、矢印 1 2 8 3 で示す電気力線がシリコン窒化膜を通過するようになる。それゆえ、矢印 1 2 8 4 方向の電気力線に沿ったメモリ機能体中の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。したがって、ゲート電極 1 2 1 7 に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。

これに対して、例えば、フラッシュメモリに代表される E E P R O M においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極（コントロールゲート）とチャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接作用する。それゆえ、E E P R O M においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、メモリ素子の機能の最適化が阻害される。

以上より明らかなように、 $T 1 < T 2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。なお、絶縁膜の厚さ $T 1$ は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる 0.8 nm 以上であることがより好ましい。

具体的には、デザインルールの大きな高耐圧が必要とされる液晶ドライバ L S I のような場合、液晶パネル T F T（薄膜トランジスタ）を駆動するために、最大 $15 \sim 18 \text{ V}$ の電圧が必要となる。このため、通常、ゲート酸化膜を薄膜化することができない。液晶ドライバ L S I に画像調整用として本発明の不揮発性メモリを混載する場合、本発明のメモリ素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜 1 2 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅） 250 nm のメモリセルに対して、 $T 1 = 20 \text{ nm}$ 、 $T 2 = 10 \text{ nm}$ で個別に設定でき、書込み効率の良いメモリセルを実現できる。（ $T 1$ が通常のロジックトランジスタよりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである）。

(第8実施形態)

この実施の形態の半導体記憶装置におけるメモリ素子は、図18に示すように、電荷保持膜（シリコン窒化膜1242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ T_1 ）が、ゲート絶縁膜の厚さ（ T_2 ）よりも厚いこと以外は、
5 第2実施形態と実質的に同様の構成を有する。

ゲート絶縁膜1214は、素子の短チャネル効果防止の要請から、その厚さ T_2 には上限値が存在する。しかし、絶縁膜の厚さ T_1 は、短チャネル効果防止の要請にかかわらず、 T_2 よりも厚くすることが可能である。すなわち、微細化スケールリングが進んだとき（ゲート絶縁膜の薄膜化が進行したとき）にゲート絶縁
10 膜厚とは独立して電荷保持膜（シリコン窒化膜1242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できるため、メモリ機能体がスケールリングの障害にならないという効果を奏する。

このメモリ素子において、上述のように T_1 に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁
15 膜が、ゲート電極とチャネル領域又はウェル領域とに挟まれていないことによる。そのため、ゲート絶縁膜に対する短チャネル効果防止の要請にかかわらず、 T_1 を T_2 より厚くすることが可能になる。

T_1 を厚くすることにより、メモリ機能体に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

したがって、 $T_1 > T_2$ とすることにより、メモリの短チャネル効果を悪化さ
20 せることなく保持特性を改善することが可能となる。

なお、絶縁膜の厚さ T_1 は、書換え速度の低下を考慮して、20nm以下であることが好ましい。

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲ
25 ート電極が書込み消去ゲート電極を構成し、上記書込み消去ゲート電極に対応するゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは7nm程度以下には薄膜化できない）

の要求が相反するため、微細化が困難となる。実際、ITRS (International Technology Roadmap for Semiconductors) によれば、物理ゲート長の微細化は 0.2 ミクロン程度以下に対して目処が立っていない。このメモリ素子では、上述したように T_1 と T_2 を個別に設計できることにより、微細化が可能となる。

5 例えば、ゲート電極長 (ワード線幅) 45 nm のメモリセルに対して、 $T_2 = 4$ nm、 $T_1 = 7$ nm で個別に設定し、短チャネル効果の発生しないメモリ素子を実現することができる。 T_2 を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由は、ゲート電極に対して、ソース/ドレイン領域がオフセットしているためである。

10 また、このメモリ素子は、ゲート電極に対して、ソース/ドレイン領域がオフセットしているため、通常のロジックトランジスタと比較してもさらに微細化を容易にする。

つまり、メモリ機能体の上部に書込み、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込み、消去を補助する電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、
15 ゲート電極から横方向に広がる比較的弱い電界が作用するのみである。そのため、同じ加工世代に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリ素子を実現することができる。

(第9実施形態)

20 この実施の形態は、半導体記憶装置のメモリ素子の書換えを行ったときの電気特性の変化に関する。

Nチャネル型メモリ素子において、メモリ機能体中の電荷量が変わったとき、図19に示すような、ドレイン電流 (I_d) 対ゲート電圧 (V_g) 特性 (実測値) を示す。

25 図19から明らかなように、消去状態 (実線) から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッショルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧 (V_g) が比較的高い領域においても、消去状態と書込み状態でのドレイン電流比が大きくなる。例えば、 $V_g = 2.5$ V においても、電流比は2桁以上を保っている。この特性は、フラ

ツシュメモリの場合（図29）と大きく異なる。

このような特性の出現は、ゲート電極と拡散領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。メモリ素子が書込み状態にあるときには、ゲート電極に正電圧を加えてもメモリ機能体下のオフセット領域には反転層が極めてできにくい状態になっている。これが、書込み状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが小さくなる原因となっている。

一方、メモリ素子が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。さらに、ゲート電極に0Vが印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極下のチャネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

以上のことから明らかなように、本発明の半導体記憶素子を構成するメモリ素子は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

（第10実施形態）

この第10実施形態では、上記第1～第8実施形態のメモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置について説明する。

図20は本発明の第10実施形態の上記メモリ素子を用いた不揮発性メモリを含むシステムのブロック図を示している。

図20に示すシステムは、電源部11と、CPU（中央処理装置）12と、不揮発性メモリ13と、RAM（ランダム・アクセス・メモリ）14と、ROM（リード・オンリー・メモリ）15と、他の構成部品16とを備えている。上記電源部11は、第1の電源電圧VCC1と第2の電源電圧VCC2とを出力する。上記電源部11から不揮発性メモリ13に第1の電源電圧VCC1と第2の電源電圧VCC2を供給し、電源部11からRAM14とROM15と他の構成部品16に第2の電源電圧VCC2を供給する。

また、図21は図20に示す不揮発性メモリ13のブロック図を示している。図21に示すように、この不揮発性メモリ13は、アドレス信号が入力される入

カバッファ 31 と、上記入力バッファ 31 からの信号を受けるコマンドレジスタ 32 と、上記コマンドレジスタ 32 からのコマンドを受けて、書換え動作などの制御を行うメモリ制御回路 33 と、上記メモリ制御回路 33 により書換えなどが行われるメモリセルアレイを含むメモリ回路 34 と、上記メモリ回路 34 からの信号を受けてデータを出力する出力回路の一例としての出力バッファ 35 とを備えている。上記コマンドレジスタ 32、メモリ制御回路 33、およびメモリ回路 34 でメモリコア回路 40 を構成している。また、上記メモリ制御回路 33 は、書換え制御部 33a と、ロックアウト回路 33b とを有している。

上記入力バッファ 31 とメモリコア回路 40 に電源供給スイッチの一例としてのスイッチ SW1 を介して第 1 の電源電圧 VCC1 を供給し、メモリコア回路 40 と出力バッファ 35 に電源供給スイッチの一例としてのスイッチ SW2 を介して第 2 の電源電圧 VCC2 を供給している。上記不揮発性メモリ 13 は、第 1 の電源電圧 VCC1 および第 2 の電源電圧 VCC2 に基づいてスイッチ SW1、SW2 のオンオフを制御する電源制御回路 36 を備えている。

また、表 1 は本発明の第 1 実施形態の不揮発性メモリに供給される電源電圧の具体例を示している。

表 1

電圧タイプ	VCC1	VCC2
タイプ A	3.0V	1.8V
タイプ B	3.0V	3.0V

上記表 1 に示すように、電圧タイプが 1.8V 系のタイプ A では、入力バッファ 31 とメモリコア回路 40 に供給される第 1 の電源電圧 VCC1 を 3.0V とし、出力バッファ 35 に供給される第 2 の電源電圧 VCC2 を 1.8V とする。また、電圧タイプが 3.0V 系のタイプ B では、入力バッファ 31 とメモリコア回路 40 に供給される第 1 の電源電圧 VCC1 を 3.0V とし、出力バッファ 35 に供給される第 2 の電源電圧 VCC2 を 3.0V とする。なお、出力バッファ 35 は、一般的なメモリにおいては入力バッファの役割も果たす入出力バッファであって、メモリ回路 34 との信号の方向も双方向であり、第 2 の電源電圧 VCC2 だけでなく、実

際には第1の電源電圧VCC1も供給される。

一般的に、論理回路に供給される電源電圧は、微細加工技術の進展に伴うトランジスタのゲート長が短くなるにしたがって低下してきており、本願発明の半導体記憶装置に供給される第1の電源電圧VCC1や第2の電源電圧VCC2などの電源電圧も、トランジスタのゲート長によって最適な値が変わるものであって、表1に示した値に限らない。

また、図22は上記不揮発性メモリのロックアウト回路33bのブロック図を示している。このロックアウト回路33bは、図22に示すように、第1の電源電圧VCC1の電圧レベルを検出する電圧検出器43と、第2の電源電圧VCC2のノイズを除去するフィルタ41と、上記フィルタ41を介して入力された第2の電源電圧VCC2と電圧発生回路37からの第2の所定電圧としての電圧レベルV2とを比較するコンパレータ42と、上記電圧検出器43からの信号と上記コンパレータ42からの信号に基づいて、ロックアウト制御を行う電源電圧確認回路44とを有している。

上記ロックアウト回路33bにおいて、第1の電源電圧VCC1と第2の電源電圧VCC2をモニタすることにより、メモリ回路34のデータエラーを防止する。

電源投入時、すなわち第1の電源電圧VCC1と第2の電源電圧VCC2の立ち上がり時、第1の電源電圧VCC1が基準電圧よりも低いとき、電圧検出器43から第1のロックアウト信号が出力され、その第1のロックアウト信号を受けて、書換え制御回路33aがロックアウト状態となり、電源電圧の立ち上がり時における偽の書換えコマンドを禁止して保護する。

また、上記第2の電源電圧VCC2が第2の所定電圧としての電圧レベルV2よりも低いとき、電源電圧確認回路44から第2のロックアウト信号が出力され、その第2のロックアウト信号を受けて、書換え制御回路33aがロックアウト状態となり、電源電圧の立ち上がり時における偽の書換えコマンドに対して保護する。

また、電源投入後において、第1の電源電圧VCC1または第2の電源電圧VCC2の少なくとも一方の電圧レベルが維持できないとき、偽の書換えコマンドを禁止して保護する。

上記第1、第2のロックアウト信号のいずれもが出力されておらず、かつ、書

換えコマンドを受けたとき、書換え制御回路 3 3 a は、電源電圧確認回路 4 4 にポーリング信号を出力する。そのポーリング信号に応じて、電源電圧確認回路 4 4 は、第 1 の電源電圧 VCC1 および第 2 の電源電圧 VCC2 の電圧レベルを示す信号を書換え制御回路 3 3 a に出力する。そして、その信号に基づいて、書換え制御回路 3 3 a は書換えコマンドを禁止するかどうか決定する。

図 2 3 は電源投入時の上記不揮発性メモリの電源電圧 VCC1 および VCC2 の時間による変化を示している。図 2 3 において、期間 T1 は、第 1 の電源電圧 VCC1 が第 1 の所定電圧としての電圧レベル V1 より低い期間であり、期間 T2 は、第 1 の電源電圧 VCC1 が電圧レベル V1 より高く、かつ、第 2 の電源電圧 VCC2 が第 2 の所定電圧としての電圧レベル V2 より低い期間である。また、期間 T3 は、第 2 の電源電圧 VCC1 が電圧レベル V1 より高く、かつ、第 2 の電源電圧 VCC2 が電圧レベル V2 より高い期間である。上記電圧レベル V1 は約 2.0 V、電圧レベル V2 は約 1.2 V である。

上記期間 T1 では、電圧検出回路 4 3 から第 1 のロックアウト信号が出力されると共に、電源電圧確認回路 4 4 から第 2 のロックアウト信号が出力されるので、書換え制御回路 3 3 a は、メモリ回路 3 4 (図 2 1 に示す) に対する書換えコマンドを禁止する。

次に、上記期間 T2 では、電圧検出回路 4 3 からの第 1 のロックアウト信号が出力されなくなるが、電源電圧確認回路 4 4 から第 2 のロックアウト信号が出力されるので、書換え制御回路 3 3 a は、メモリ回路 3 4 (図 2 1 に示す) に対する書換えコマンドを禁止する。

そして、上記期間 T3 では、電圧検出回路 4 3 からの第 1 のロックアウト信号が出力されなくなると共に、電源電圧確認回路 4 4 からの第 2 のロックアウト信号が出力されなくなるので、書換え制御回路 3 3 a は、メモリ回路 3 4 (図 2 1 に示す) に対する書換えコマンドを禁止する。

次に、図 2 4 は電源電圧の立ち上がり時の上記不揮発性メモリの電源電圧 VCC1 および VCC2 の時間による変化を示している。図 2 4 において、期間 T11 は、第 2 の電源電圧 VCC2 が電圧レベル V2 より低い期間であり、期間 T12 は、第 2 の電源電圧 VCC2 が電圧レベル V2 より高く、かつ、第 1 の電源電圧 VCC1 が電圧レ

レベルV1より低い期間である。また、期間T13は、第2の電源電圧VCC2が電圧レベルV2より高く、かつ、第1の電源電圧VCC1が電圧レベルV1より高い期間である。上記電圧レベルV1は約2.0V、電圧レベルV2は約1.2Vである。

5 上記期間T11では、電圧検出回路43から第1のロックアウト信号が出力されると共に、電源電圧確認回路44から第2のロックアウト信号が出力されるので、書換え制御回路33aは、メモリ回路34(図21に示す)に対する書換えコマンドを禁止する。

次に、上記期間T12では、電源電圧確認回路44から第2のロックアウト信号が出力されなくなるが、電圧検出回路43からの第1のロックアウト信号が出力
10 されるので、書換え制御回路33aは、メモリ回路34(図21に示す)に対する書換えコマンドを禁止する。

そして、上記期間T13では、電圧検出回路43からの第1のロックアウト信号が出力されなくなると共に、電源電圧確認回路44からの第2のロックアウト信号が出力されなくなるので、書換え制御回路33aは、メモリ回路34(図21に
15 示す)に対する書換えコマンドを禁止する。

さらに、図25は上記不揮発性メモリの電源電圧VCC1およびVCC2が同時に立ち上がるときの時間変化を示している。

図25に示すように、期間T21は、第1の電源電圧VCC1が電圧レベルV1より低く、かつ、第2の電源電圧VCC2が電圧レベルV2より低い期間であり、期間T
20 22は、第2の電源電圧VCC2が電圧レベルV2より高く、かつ、第1の電源電圧VCC1が電圧レベルV1より低い期間である。また、期間T23は、第2の電源電圧VCC2が電圧レベルV2より高く、かつ、第1の電源電圧VCC1が電圧レベルV1より高い期間である。上記電圧レベルV1は約2.0V、電圧レベルV2は約1.2Vである。

25 上記期間T21では、電圧検出回路43から第1のロックアウト信号が出力されると共に、電源電圧確認回路44から第2のロックアウト信号が出力されるので、書換え制御回路33aは、メモリ回路34(図21に示す)に対する書換えコマンドを禁止する。

次に、上記期間T22では、電源電圧確認回路44から第2のロックアウト信号

が出力されなくなるが、電圧検出回路 4 3 からの第 1 のロックアウト信号が出力されるので、書換え制御回路 3 3 a は、メモリ回路 3 4 (図 2 1 に示す) に対する書換えコマンドを禁止する。

5 そして、上記期間 T 23 では、電圧検出回路 4 3 からの第 1 のロックアウト信号が出力されなくなると共に、電源電圧確認回路 4 4 からの第 2 のロックアウト信号が出力されなくなるので、書換え制御回路 3 3 a は、メモリ回路 3 4 (図 2 1 に示す) に対する書換えコマンドを禁止する。

10 このように、上記第 1 0 実施形態では、微細化しても 1 メモリ素子あたり 2 ビットの記憶保持と安定した動作ができると共に、メモリセルアレイを含むメモリ回路 3 4 に供給される電源電圧のレベル低下に起因する書換え不良などの誤動作を防止できる。

15 また、上記電圧検出器 4 3 の電源電圧の供給状態は、第 1 の電源電圧 VCC1 によって制御される。すなわち、上記第 1 の電源電圧 VCC1 が予め決められた電圧以上となると、電圧検出器 4 3 をオフ状態にすることにより、消費電力を削減できる。

20 また、上記コンパレータ 4 2 および電圧発生回路 3 7 への電源電圧の供給状態は、第 2 の電源電圧 VCC2 によって制御される。すなわち、第 2 の電源電圧 VCC2 が予め決められた電圧以上となると、電源電圧確認回路 4 4 によりコンパレータ 4 2 および電圧発生回路 3 7 をオフ状態にすることにより、消費電力を削減できる。

25 なお、上記第 1 の電源電圧 VCC1 が第 1 の所定電圧としての電圧レベル V1 よりも低いとき、電圧検出器 4 3 から電源電圧確認回路 4 4 にプリセット信号を送ることにより、プリセットされた電源電圧確認回路 4 4 は、第 2 の電源電圧 VCC2 の状態にかかわらず、コンパレータ 4 2 および電圧発生回路 3 7 をオン状態とすることによって、特に電源電圧が立ち上がる場合、第 2 の電源電圧 VCC2 の判定を速やかに行うことが可能となる。

 また、上記メモリ回路 3 4 がアクティブ状態であるときにスイッチ SW1, SW2 オンして、第 1, 第 2 の電源電圧 VCC1, VCC2 を供給する一方、上記メモリ回路がスタンバイ状態であるときにスイッチ SW1, SW2 オフして、第 1, 第 2 の

電源電圧VCC1, VCC2の供給を停止することにより、スタンバイ時のリーク電流に起因する消費電力を削減することができる。さらに、上記スイッチSW1, SW2がオフ状態にあつて電源電圧の供給が止められているとき、メモリ回路34に対するコマンドを禁止することにより、誤動作をより確実に防止することができる。

例えば、この不揮発性メモリがアクティブ状態からスタンバイ状態に移行したとき、電源電圧の供給が止められているにもかかわらず、アクティブ時の電源電圧により、電圧検出回路43や電源電圧確認回路44が誤った判定を行い、書換えコマンドがメモリ回路34に与えられて動作に入るとき、電源電圧の供給が停止していることによって誤動作を防止することが可能となる。

なお、上記第10実施形態では、メモリ回路34に対する書換えコマンドのみを禁止したが、書換えコマンドだけでなく、読み出しコマンド等の他のコマンドも同様に禁止してもよい。

また、上記メモリ回路34に供給される第1の電源電圧VCC1が予め決められた範囲外にあるとき、電圧検出器43からメモリ回路34に対するコマンドを禁止する第1のロックアウト信号を出力して、メモリ回路34に対するコマンドを禁止することによって、電源電圧確認回路44の状態にかかわらず、速やかにメモリ回路34に第1のロックアウト信号を伝達することが可能となり、第1のロックアウト信号の伝達の遅延に起因する誤動作を防止できる。

(第11実施形態)

上述した半導体記憶装置の応用例として、例えば、図26に示したように、液晶パネルの画像調整用の書換え可能な不揮発性メモリが挙げられる。

図26に示す液晶パネル701は、液晶ドライバ702によって駆動される。液晶ドライバ702内には、半導体記憶装置としての不揮発性メモリ部703、SRAM部704、液晶ドライバ回路705がある。不揮発性メモリ部703は、本発明の不揮発性メモリ素子を含み、好ましくは第10実施形態に記載の半導体記憶装置よりなる。不揮発性メモリ部703は外部から書換え可能な構成を有している。

不揮発性メモリ部703に記憶された情報は、機器の電源の投入時にSRAM

部 7 0 4 に転写される。液晶ドライバ回路 7 0 5 は、必要に応じて S R A M 部 7 0 4 から記憶情報を読み出すことができる。S R A M 部を設けることにより、記憶情報の読み出し速度を非常に高速に行なうことができる。

5 液晶ドライバ 7 0 2 は、図 2 6 に示すように液晶パネル 7 0 1 に外付けしてもよいが、液晶パネル 7 0 1 上に形成してもよい。

液晶パネルは、各画素に多段階の電圧を与えることによって表示される階調を変えているが、与えた電圧と表示される階調との関係は製品ごとにばらつきが生じる。そのため、製品の完成後に個々の製品のばらつきを補正するための情報を記憶させ、その情報を基に補正を行なうことにより、製品間の画質を均一にすることができ。したがって、補正情報を記憶するための書換え可能な不揮発性メモリを液晶ドライバに搭載することが好ましい。この不揮発性メモリとして本発明の不揮発性メモリ素子を用いるのが好ましく、特に、本発明の不揮発性メモリ素子を集積した第 1 0 実施形態に記載の半導体記憶装置を用いるのが好ましい。

15 本発明のメモリ素子を液晶パネルの画像調整用の不揮発性メモリとして用いられ、液晶ドライバなどの回路との混載プロセスが容易であることから製造コストを低減することができる。また、第 1 0 実施形態に記載の半導体記憶装置は、比較的メモリ規模が小規模で、信頼性や安定性が重視される場合に特に好適である。通常、液晶パネルの画像調整用の不揮発性メモリは、例えば、数キロバイトであり、比較的メモリ規模が小規模である。したがって、第 1 0 実施形態に記載の半導体記憶装置を液晶パネルの画像調整用の不揮発性メモリとして用いるのが特に好ましい。

(第 1 2 実施形態)

図 2 7 は本発明の第 1 2 実施形態の携帯電子機器の一例としての携帯電話の概略ブロック図を示している。

25 この携帯電話は、図 2 7 に示すように、制御回路 7 4 と、電池 7 7 と、R F (無線周波数)回路 7 5 と、表示部 7 2 と、アンテナ 7 1 と、信号線 7 3 と、電力線 7 6 とを備えている。上記制御回路 7 4 は、上記第 1 実施形態の不揮発性メモリ 7 4 a が組み込まれている。なお、制御回路 7 4 は、同一構造の素子をメモリ素子および論理回路素子として兼用した集積回路であることが望ましい。これに

より、集積回路の製造が容易になり、携帯電子機器の製造コストを特に低減することができる。

5 このように、1メモリ素子あたり2ビットの記憶保持と暗転した動作が可能であり、かつ微細化が容易でかつ回路誤動作を防止できる不揮発性メモリ74aを携帯電話に用いることにより、小型化と性能向上および低消費電力化が可能な携帯電話を実現することができる。

10 また、上記第10～第12実施形態では、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子をメモリセルとして用いたが、メモリセルとして用いるメモリ素子はこれに限らない。

15 また、上記第10～第12実施形態では、1メモリ素子あたり2ビットの記憶保持が可能な半導体記憶装置について説明したが、1メモリ素子あたり2ビット以上の記憶保持が可能な半導体記憶装置に本発明を適用してもよい。

20 さらに、上記第10実施形態では、第1,第2の電源電圧VCC1,VCC2について電源電圧確認回路44により確認したが、この半導体記憶装置が3以上の電源電圧が供給される場合は、その3以上の電源電圧を電源電圧確認回路により確認するようにしてもよい。

25 以上より明らかなように、本発明の半導体記憶装置およびその制御方法によれば、メモリセルアレイを含むメモリ回路に供給する電源電圧のレベルが低いことに起因する回路誤動作を防止することが可能であって、微細化しても1メモリ素子あたり2ビット以上の記憶保持と安定した動作可能であり、かつ、スタンバイ時のリーク電流に起因する消費電力を削減することが可能な半導体記憶装置を提供することができる。

30 また、前記メモリ素子の形成プロセスは、通常のトランジスタの形成プロセスと非常に親和性が高い。それゆえ、従来技術のフラッシュメモリを不揮発性メモリ素子として用いて通常トランジスタからなる周辺回路と混載する場合と比べて、飛躍的にマスク枚数及びプロセス工数を削減することが可能となる。したがって、

チップの歩留まりが向上し、コストを削減することができる。

また、実施の一形態として、前記メモリ素子の有するメモリ機能体の少なくとも一部が拡散領域の一部にオーバーラップしている場合、補助ゲートなどを必要とせず、低電圧で書込み可能である。

- 5 さらに、別の実施の一形態として、前記メモリ素子のゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、絶縁膜膜厚が、ゲート絶縁膜の膜厚より薄く、かつ0.8 nm以上である場合、メモリ機能体への電荷の注入が容易となり、書換え動作の電圧を低下させることができる。

- 10 このように、本発明の半導体記憶装置を構成するメモリセルの書換えは低電圧で行うことが可能であることから、電源がオンされてから電源が所望の電圧レベルに達し、システムが安定化するまでの時間が従来よりも短時間であって、本発明の回路と組み合わせると、従来よりも高速且つ安定した動作が可能となる。

- 15 また、実施の一形態として、前記メモリ素子の有するメモリ機能体は、ゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜を含む。一般的に不揮発性メモリにおいて、書換え動作を行う場合、所望の動作を行ったかどうか検証し、動作エラーを起こしたものについては、所望の動作が完了するまで書換え動作を繰り返す。しかし、従来、書換え動作を繰り返している最中に電圧低下が起こり、書換えコマンドがロックアウトされた場合、書換え動作不良のまま動作が中断することとなり、半導体記憶装置の動作が不安定となる原因となっていた。この問題は、特に、書換え動作の低電圧化に伴って、深刻なものとなってきた。前記実施の形態によれば、メモリ効果のばらつきが抑制され、書換え動作エラーが起こりにくいため、再書き換えの頻度は低くなり、また、再書換え動作の必要が生じても、これを早期に完了させることが可能となる。そのため、書換え動作を繰り返している最中に書換えコマンドをロックアウトする信号
- 20
- 25

が入る確率が低くなり、安定した半導体記憶装置を実現することが可能となる。

また、本発明の携帯電子機器によれば、上記半導体記憶装置または半導体記憶装置の制御方法を用いることにより、小型化と性能向上および低消費電力化が可能な携帯電子機器を実現できる。

請求の範囲

1. 半導体層（1102）上にゲート絶縁膜（1103）を介して形成されたゲート電極（1104）と、上記ゲート電極（1104）下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極（1104）の両側に形成され、電荷を保持する機能を有するメモリ機能体（1105a, 1105b）とからなるメモリ素子（1001）をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置であって、
- 10 外部から供給される電源電圧が所定電圧よりも低いとき、上記メモリセルアレイを含むメモリ回路（34）に対するコマンドを禁止するロックアウト回路（33a）を備えたことを特徴とする半導体記憶装置。
2. 請求項1に記載の半導体記憶装置において、
- 15 上記外部から供給される電源電圧は、少なくとも上記メモリセルアレイを含むメモリ回路（34）に供給される第1の電源電圧と出力回路（35）に供給される第2の電源電圧であり、
- 上記ロックアウト回路（33a）は、
- 上記第1の電源電圧が第1の所定電圧以下であるとき、上記メモリセルアレイを含むメモリ回路（34）に対するコマンドを禁止する第1のロックアウト信号を出力する電圧検出器（43）と、
- 20 上記第2の電源電圧が第2の所定電圧より低いとき、上記メモリセルアレイを含むメモリ回路（34）に対するコマンドを禁止する第2のロックアウト信号を出力する電源電圧確認回路（44）とを有することを特徴とする半導体記憶装置。
3. 請求項2に記載の半導体記憶装置において、
- 25 上記電源電圧確認回路（44）は、上記第1の電源電圧が上記第1の所定電圧より低いとき、上記メモリセルアレイを含むメモリ回路（34）に対するコマンドを禁止するロックアウト信号を出力することを特徴とする半導体記憶装置。
4. 請求項2に記載の半導体記憶装置において、
- 上記第2の電源電圧と上記第2の所定電圧とを比較して、上記第2の電源電圧

が上記第2の所定電圧よりも高いとき、上記第2の電源電圧が上記第2の所定電圧よりも高いことを表す信号を上記電源電圧確認回路(44)に出力する比較器(42)を備えたことを特徴とする半導体記憶装置。

5. 請求項2に記載の半導体記憶装置において、

5 上記電圧検出器(43)は、上記第1の電源電圧が上記第1の所定電圧より低いとき、上記第1の電源電圧が上記第1の所定電圧より低いことを表す信号を上記電源電圧確認回路(44)に出力することを特徴とする半導体記憶装置。

6. 請求項2に記載の半導体記憶装置において、

10 上記電源電圧確認回路(44)は、上記メモリセルアレイを含むメモリ回路(34)にコマンドが与えられたことを表す信号を受けると、上記第2の電源電圧を確認することを特徴とする半導体記憶装置。

7. 請求項6に記載の半導体記憶装置において、

15 上記電源電圧確認回路(44)は、上記メモリセルアレイを含むメモリ回路(34)にコマンドが与えられたことを表す信号に応じて上記第2の電源電圧の確認結果を表す信号を出力することを特徴とする半導体記憶装置。

8. 請求項2に記載の半導体記憶装置において、

上記第2の所定電圧は、0.3V～1.2Vの範囲内であることを特徴とする半導体記憶装置。

9. 請求項2に記載の半導体記憶装置において、

20 上記電圧検出器(43)からの上記第1のロックアウト信号または上記電源電圧確認回路(44)からの上記第2のロックアウト信号の少なくとも一方が出力されると、上記メモリセルアレイを含むメモリ回路(34)に対するコマンドが禁止されることを特徴とする半導体記憶装置。

10. 請求項2に記載の半導体記憶装置において、

25 上記電圧検出器(43)の電源電圧の供給状態が上記第1の電源電圧によって制御されることを特徴とする半導体記憶装置。

11. 請求項4に記載の半導体記憶装置において、

上記第2の所定電圧を発生する電圧発生回路(37)を備え、

上記比較器(42)および上記電圧発生回路(37)の電源電圧の供給状態が

上記第2の電源電圧によって制御されることを特徴とする半導体記憶装置。

1 2. 請求項1に記載の半導体記憶装置において、

5 上記メモリセルアレイを含むメモリ回路(34)がアクティブ状態であるときにオンして、少なくとも上記メモリセルアレイを含むメモリ回路(34)への電源電圧を供給する一方、上記メモリ回路(34)がスタンバイ状態であるときにオフして、少なくとも上記メモリセルアレイを含むメモリ回路(34)への電源電圧の供給を停止する電源供給スイッチ(SW1, SW2)を備えたことを特徴とする半導体記憶装置。

1 3. 請求項12に記載の半導体記憶装置において、

10 上記外部から供給される電源電圧は、少なくとも上記メモリセルアレイを含むメモリ回路(34)に供給される第1の電源電圧と出力回路(35)に供給される第2の電源電圧であり、

上記ロックアウト回路(33b)は、

15 上記第1の電源電圧が上記第1の所定電圧以下であるとき、上記メモリセルアレイを含むメモリ回路(34)に対するコマンドを禁止する第1のロックアウト信号を出力する電圧検出器(43)と、

上記第2の電源電圧が第2の所定電圧より低いとき、上記メモリセルアレイを含むメモリ回路(34)に対するコマンドを禁止する第2のロックアウト信号を出力する電源電圧確認回路(44)とを有することを特徴とする半導体記憶装置。

20 1 4. メモリセルアレイを含むメモリ回路(34)がスタンバイ状態のときに、外部から供給される複数の電源電圧のうちの少なくとも1つの供給を止める電源供給スイッチ(SW1, SW2)と、

25 上記複数の電源電圧のうちのいずれか1つが所定電圧より低いとき、上記メモリ回路(34)に対するコマンドを禁止するロックアウト回路(33b)とを備えたことを特徴とする半導体記憶装置。

1 5. メモリセルアレイを含むメモリ回路(34)に対するコマンドを禁止するための半導体記憶装置の制御方法であって、

上記メモリ回路(34)がスタンバイ状態のときに、外部から供給される複数の電源電圧のうちの少なくとも1つの供給を止めるステップと、

上記複数の電源電圧のうちのいずれか1つが所定電圧より低いとき、上記メモリ回路(34)に対するコマンドを禁止するステップとを有することを特徴とする半導体記憶装置の制御方法。

16. メモリセルアレイを含むメモリ回路(34)に対するコマンドを禁止するための半導体記憶装置の制御方法であって、

上記メモリ回路(34)がスタンバイ状態であるかを調査するステップと、

上記メモリ回路(34)がスタンバイ状態のとき、上記メモリ回路(34)への電源電圧の供給を止めると共に、上記メモリ回路(34)に対するコマンドを禁止するステップと、

- 10 上記複数の電源電圧のうちの少なくとも1つについて電源電圧確認回路(44)により確認するステップと、

上記複数の電源電圧のいずれか1つが所定電圧より低いとき、上記電源電圧確認回路(44)から上記メモリ回路(34)に対するコマンドを禁止するロックアウト信号を出力するステップとを有することを特徴とする半導体記憶装置の制御方法。

- 15 17. 請求項16に記載の半導体記憶装置の制御方法において、

上記コマンドは、書換えコマンドであることを特徴とする半導体記憶装置の制御方法。

18. 請求項16に記載の半導体記憶装置の制御方法において、

- 20 上記複数の電源電圧のうちの少なくとも1つと上記所定電圧とを比較器(42)により比較することを特徴とする半導体記憶装置の制御方法。

19. 請求項18に記載の半導体記憶装置の制御方法において、

上記複数の電源電圧のうちの上記メモリセルアレイを含むメモリ回路(34)に供給される第1の電源電圧によって、上記比較器(42)および上記所定電圧を発生する電圧発生回路(37)の電源電圧の供給状態が制御されることを特徴とする半導体記憶装置の制御方法。

20. 請求項16に記載の半導体記憶装置の制御方法において、

上記複数の電源電圧のうちの上記メモリセルアレイを含むメモリ回路(34)に供給される第1の電源電圧が予め決められた範囲外であるか電圧検出器(4

3) により検出し、

上記第1の電源電圧が予め決められた範囲外にあるとき、上記電圧検出器(43)から上記メモリ回路(34)に対するコマンドを禁止するロックアウト信号を出力することを特徴とする半導体記憶装置の制御方法。

5 21. 請求項20に記載の半導体記憶装置の制御方法において、

上記電圧検出器(43)からのロックアウト信号または上記電源電圧確認回路(44)からのロックアウト信号の少なくとも一方が出力されると、上記メモリセルアレイを含むメモリ回路(34)に対するコマンドが禁止されることを特徴とする半導体記憶装置の制御方法。

10 22. 請求項20に記載の半導体記憶装置の制御方法において、

上記電圧検出器(43)の電源電圧の供給状態が上記第1の電源電圧によって制御されることを特徴とする半導体記憶装置の制御方法。

23. 請求項16に記載の半導体記憶装置の制御方法において、

15 上記複数の電源電圧のうちの出力回路(35)に供給される電源電圧が上記所定電圧よりも低いとき、上記電源電圧確認回路(44)から上記メモリ回路(34)に対するコマンドを禁止するロックアウト信号を出力することを特徴とする半導体記憶装置の制御方法。

24. 請求項16に記載の半導体記憶装置の制御方法において、

20 上記複数の電源電圧について上記電源電圧確認回路(44)により確認することを特徴とする半導体記憶装置の制御方法。

25. 請求項24に記載の半導体記憶装置の制御方法において、

上記複数の電源電圧のうちの少なくとも1つに基づいて、上記メモリセルアレイを含むメモリ回路(34)に対するコマンドが禁止されることを特徴とする半導体記憶装置の制御方法。

26. 請求項24に記載の半導体記憶装置の制御方法において、

25 上記複数の電源電圧のうちの上記メモリセルアレイを含むメモリ回路(34)に供給される電源電圧が予め決められた範囲外であるとき、上記電源電圧確認回路(44)から上記メモリ回路(34)に対するコマンドを禁止するロックアウト信号を出力することを特徴とする半導体記憶装置の制御方法。

27. 請求項23に記載の半導体記憶装置の制御方法において、

上記複数の電源電圧のうちの出力回路(35)に供給される電源電圧を判定するための上記所定電圧が0.3V~1.2Vの範囲内であることを特徴とする半導体記憶装置の制御方法。

5 28. 半導体層(1102)上にゲート絶縁膜(1103)を介して形成されたゲート電極(1104)と、上記ゲート電極(1104)下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極(1104)の両側に形成され、電荷を保持する機能を有するメモリ機能体(1105a, 1105b)とからなるメモリ素子(1001)をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置であって、

上記メモリ回路(34)がアクティブ状態であるときにオンして、少なくとも上記メモリセルアレイを含むメモリ回路への電源電圧を供給する一方、上記メモリ回路がスタンバイ状態であるときにオフして、少なくとも上記メモリセルアレイを含むメモリ回路(34)への電源電圧の供給を停止する電源供給スイッチ(SW1, SW2)を備えたことを特徴とする半導体記憶装置。

15 29. 請求項28に記載の半導体記憶装置において、

上記電源供給スイッチ(SW1, SW2)は、上記メモリセルアレイを含むメモリ回路(34)と同一の基板上に形成されていることを特徴とする半導体記憶装置。

20 30. 請求項1, 14, 28のいずれか1つに記載の半導体記憶装置において、上記メモリ素子(1001)の有するメモリ機能体(1105a, 1105b)の少なくとも一部が拡散領域の一部にオーバーラップしていることを特徴とする半導体記憶装置。

25 31. 請求項1, 14, 28のいずれか1つに記載の半導体記憶装置において、上記メモリ素子のゲート絶縁膜(1214)の表面と略並行な表面を有して電荷を保持する機能を有する膜(1242)とチャネル領域又は半導体層とを隔てる絶縁膜(1241)を有し、上記絶縁膜(1241)の膜厚が、上記ゲート絶縁膜(1214)の膜厚より薄く、かつ0.8nm以上であることを特徴とする半

導体記憶装置。

32. 請求項1, 14, 28のいずれか1つに記載の半導体記憶装置において、
上記メモリ素子の有するメモリ機能体(1261, 1262)は、上記ゲート絶
縁膜(1214)の表面と略並行な表面を有して電荷を保持する機能を有する膜
5 (1242)を含むことを特徴とする半導体記憶装置。
33. 請求項1, 14, 28のいずれか1つに記載の半導体記憶装置または請求
項15または16に記載の半導体記憶装置の制御方法を用いたことを特徴とする
携帯電子機器。

Fig. 1

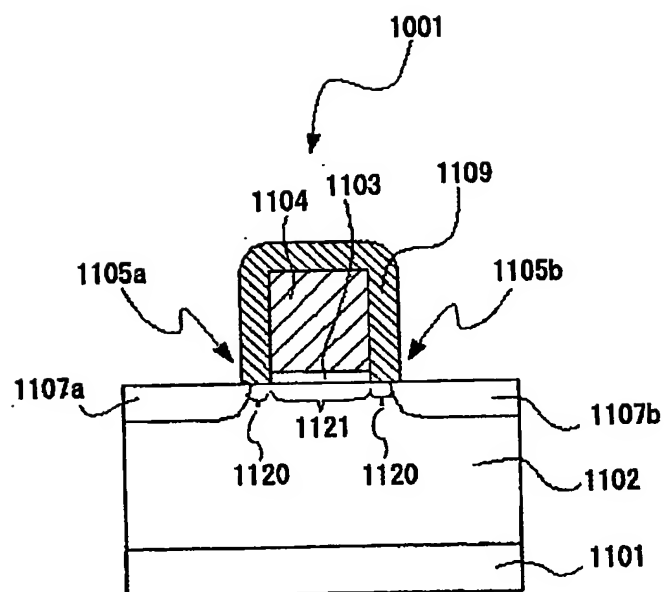


Fig. 2A

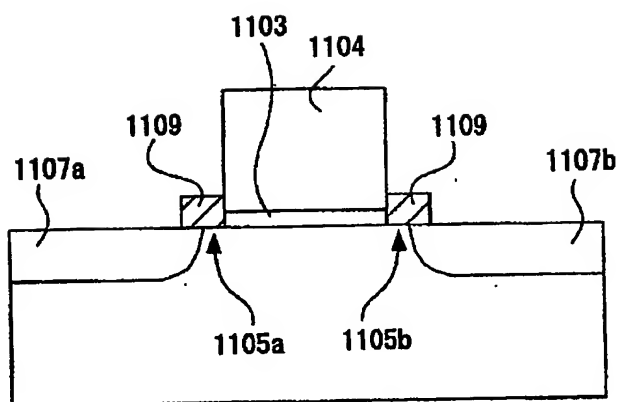


Fig. 2B

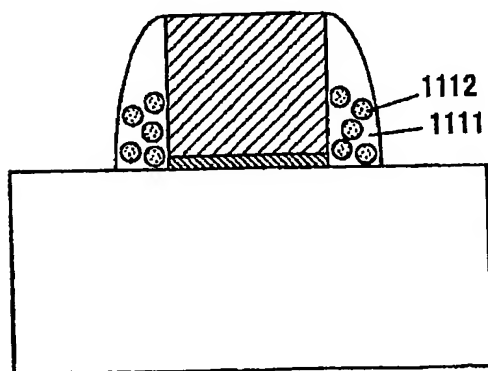


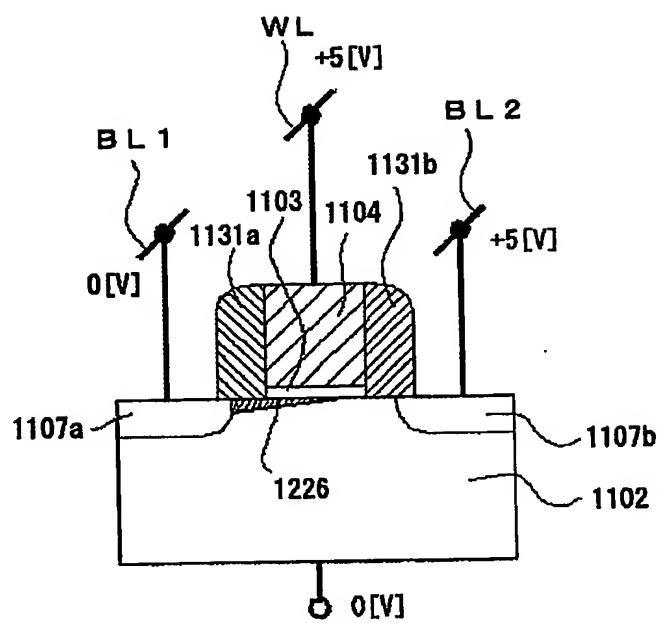
Fig. 3

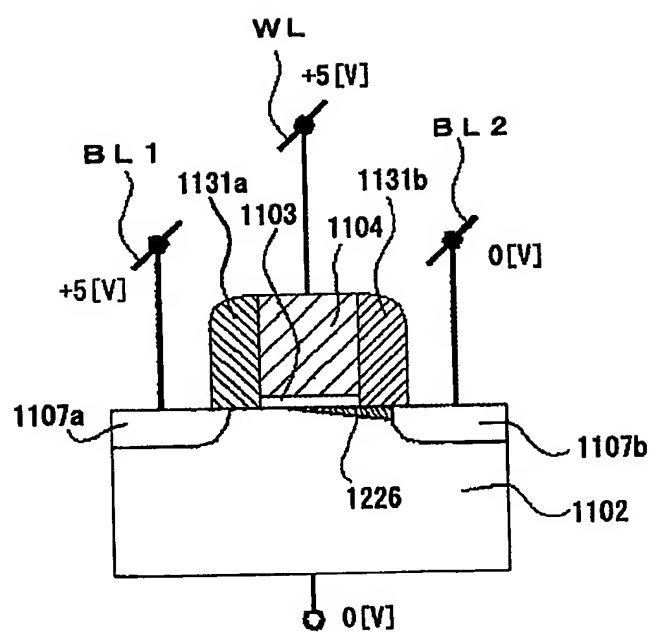
Fig. 4

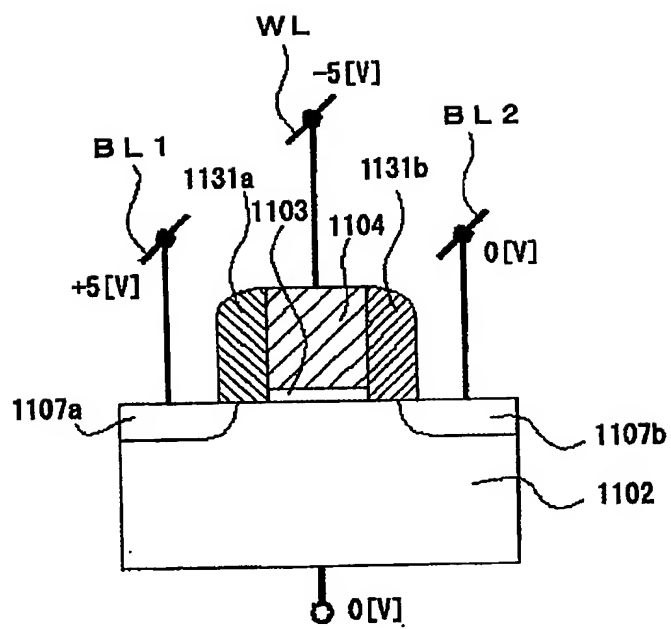
Fig. 5

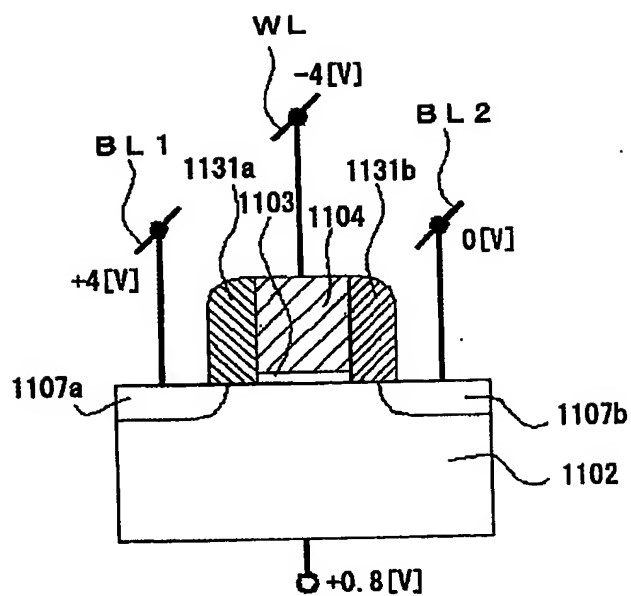
Fig. 6

Fig. 7

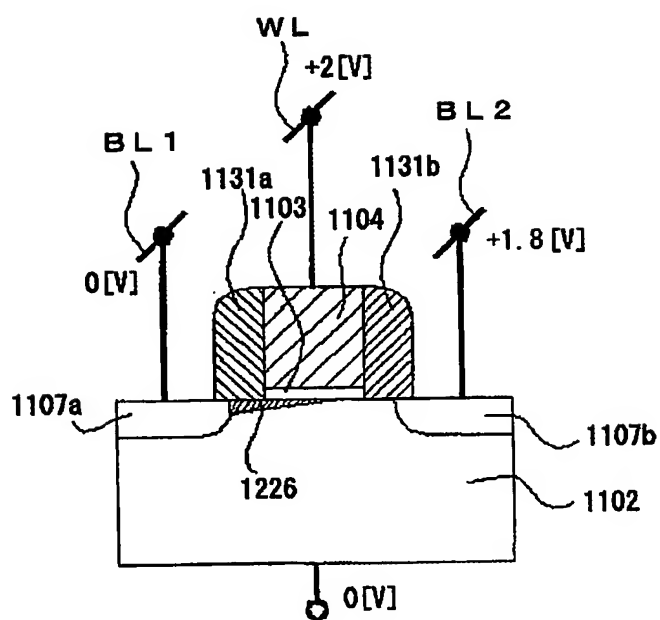


Fig. 8

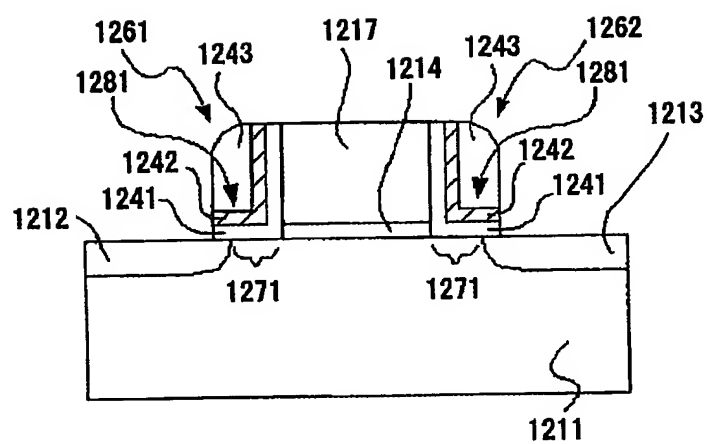


Fig. 9

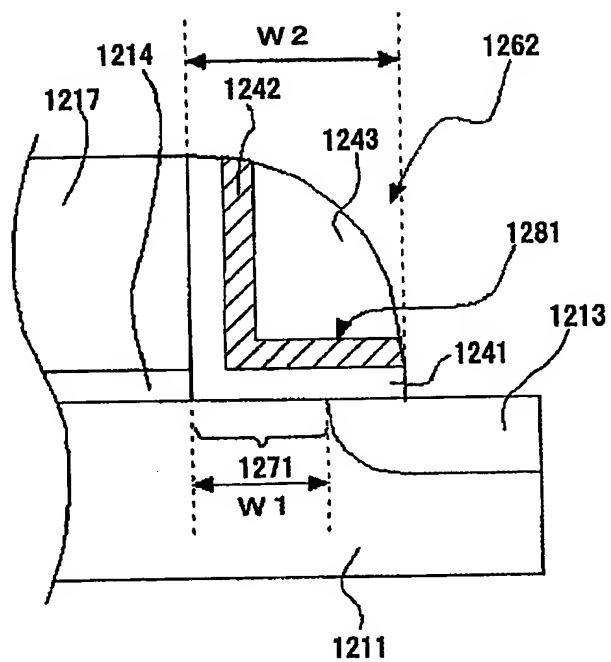


Fig. 10

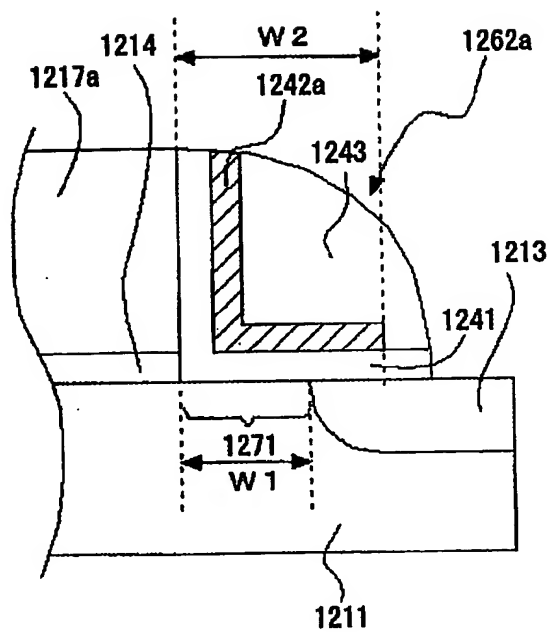


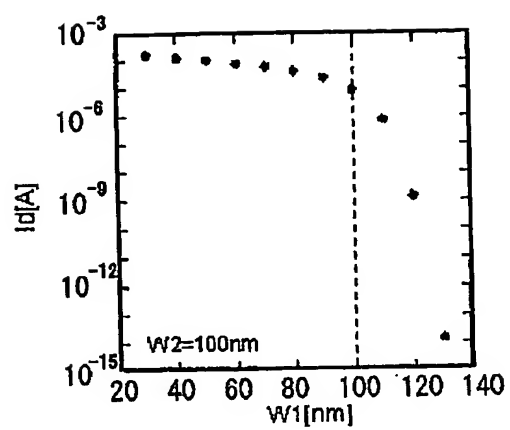
Fig. 11

Fig. 12

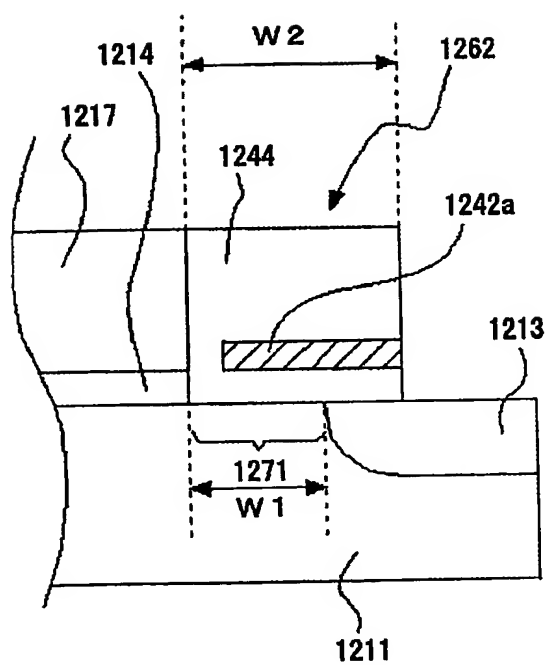


Fig. 13

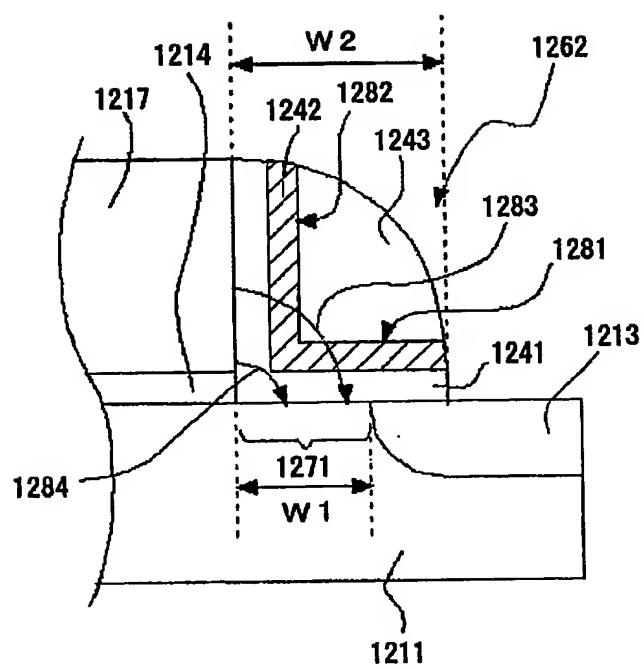


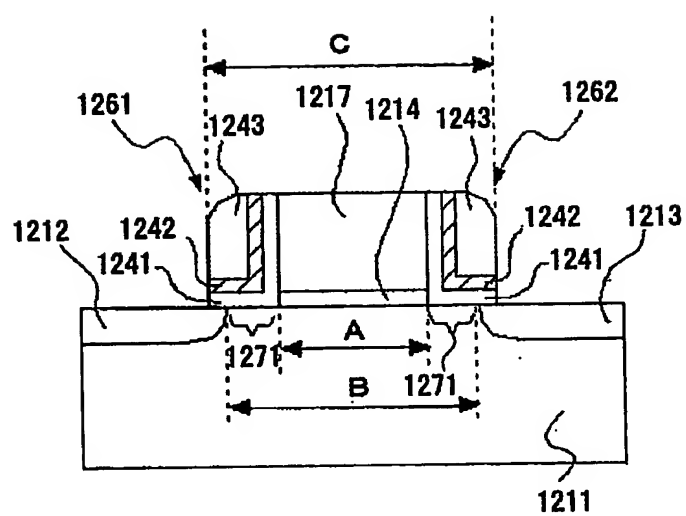
Fig. 14

Fig. 15

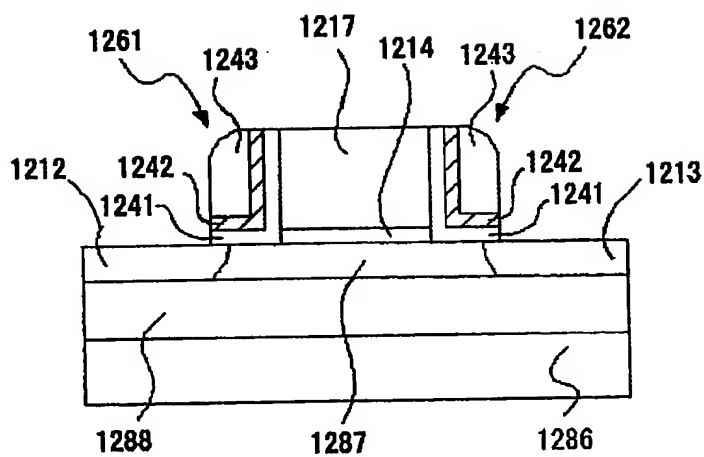


Fig. 16

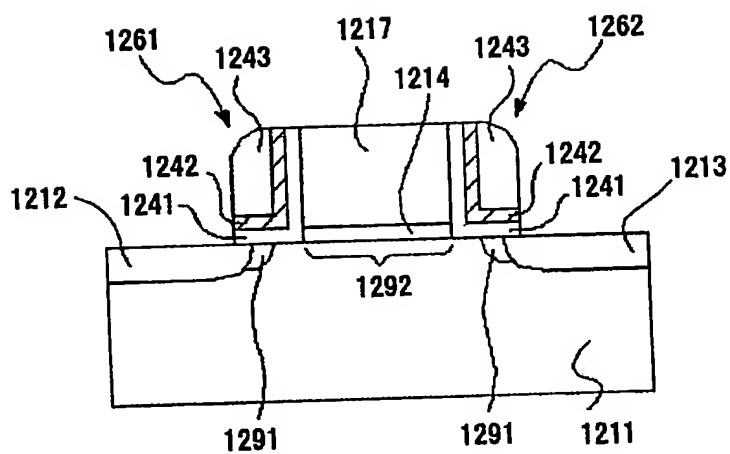


Fig. 17

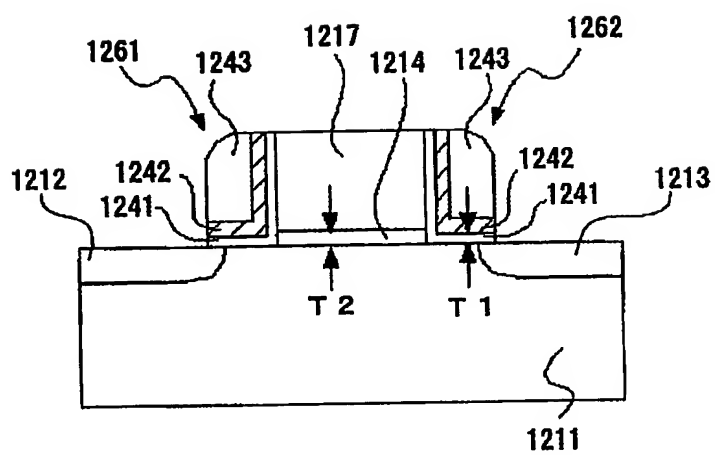


Fig. 19

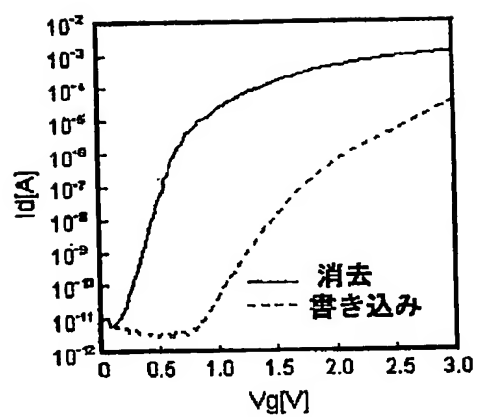


Fig. 20

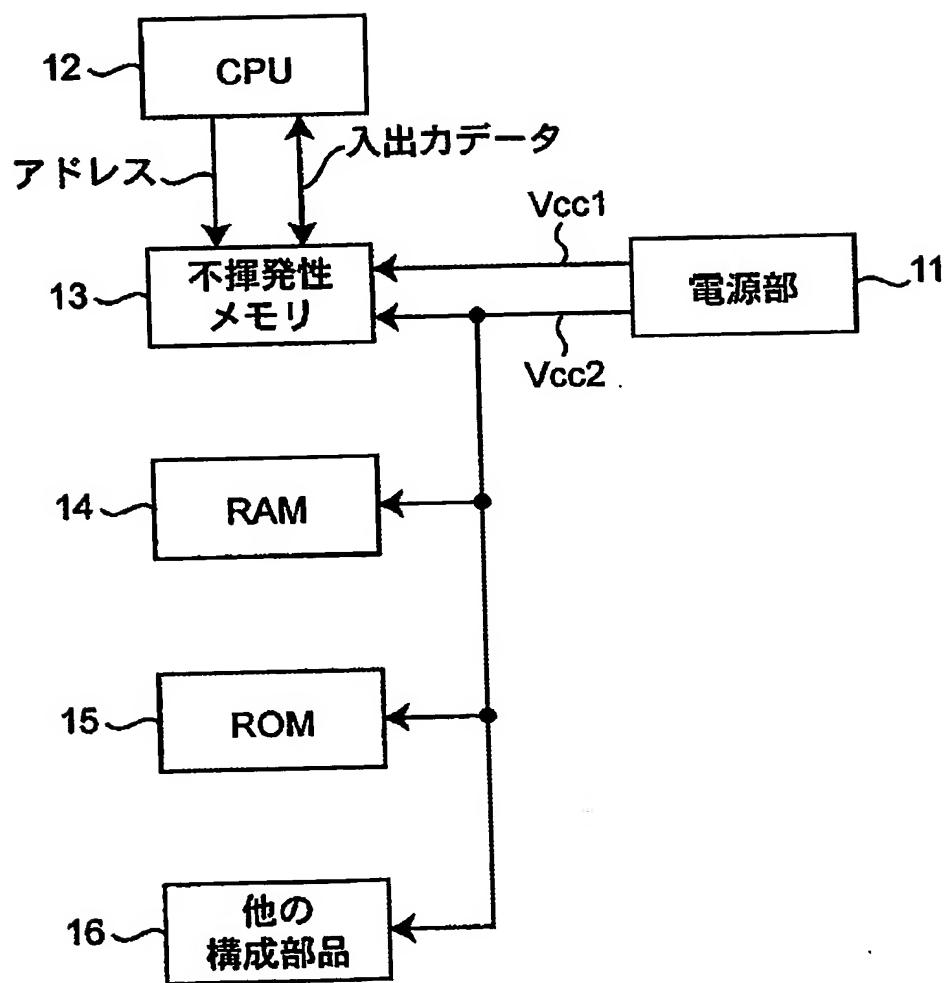


Fig. 21

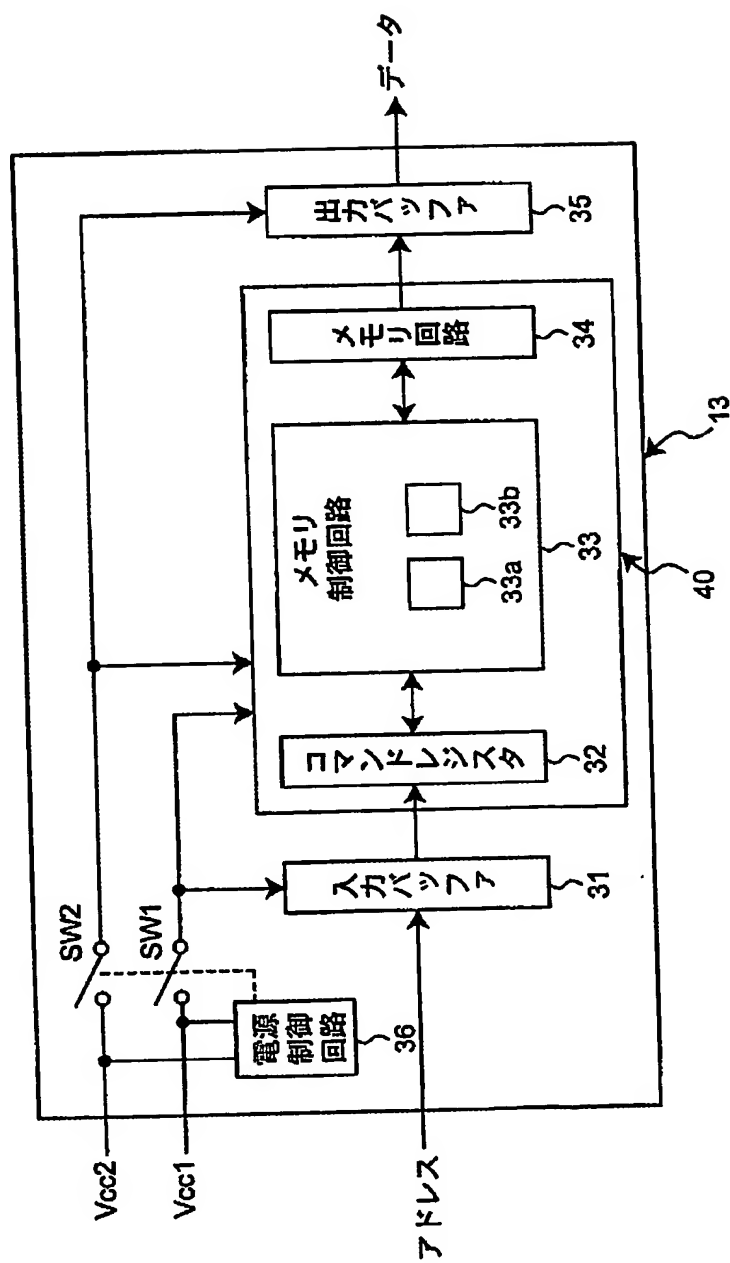


Fig. 22

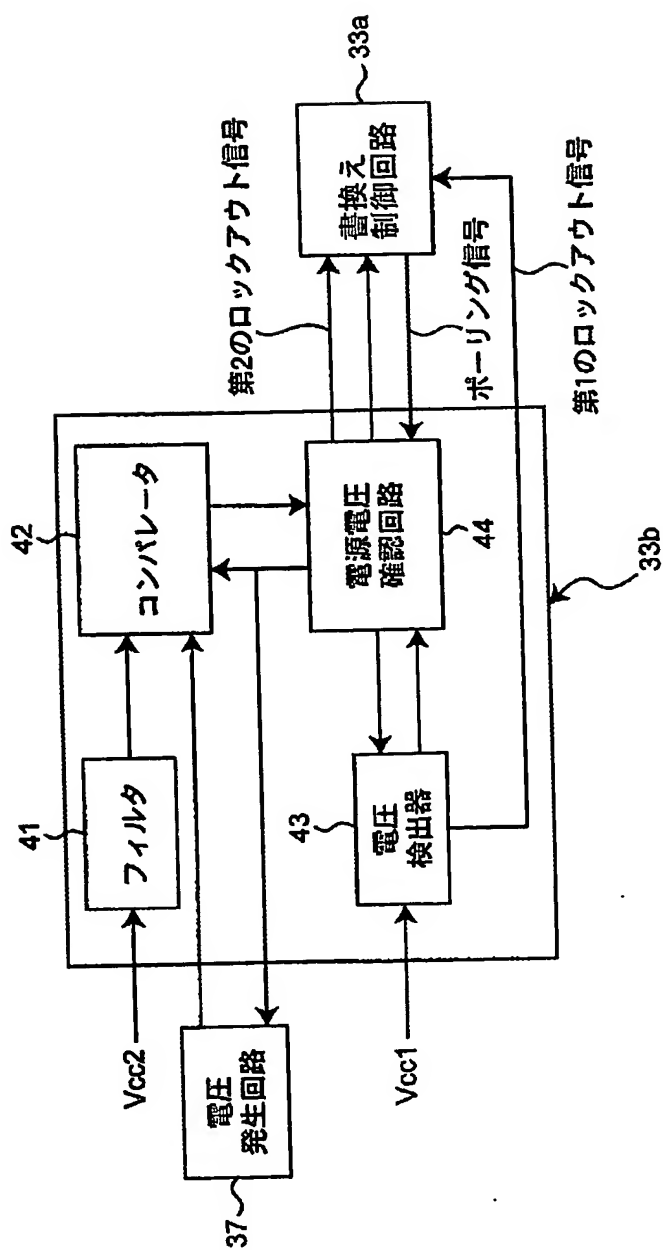


Fig. 23

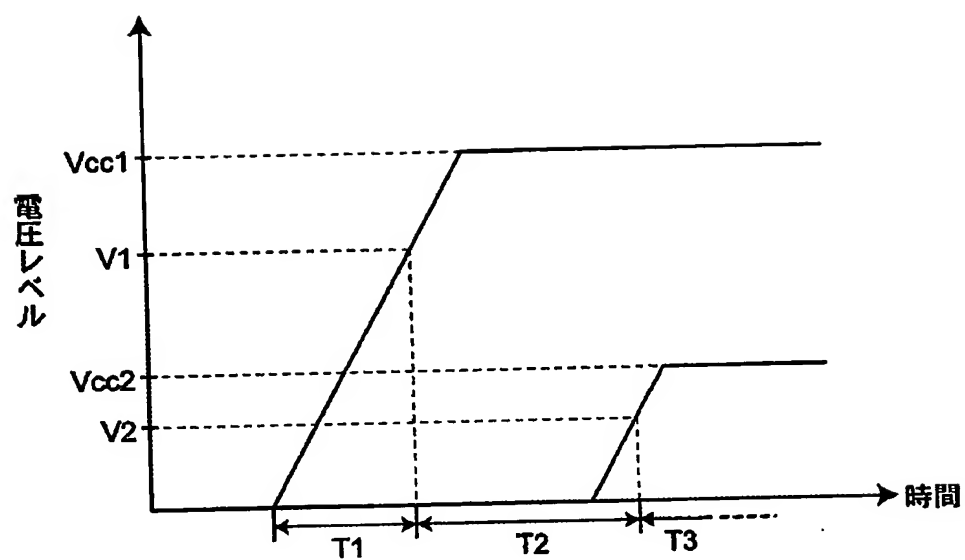


Fig. 24

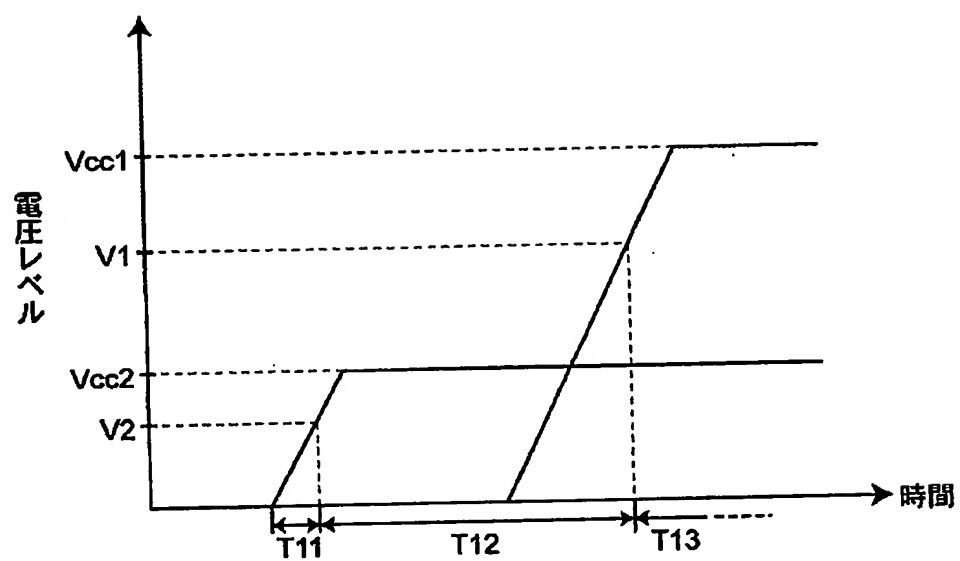


Fig. 25

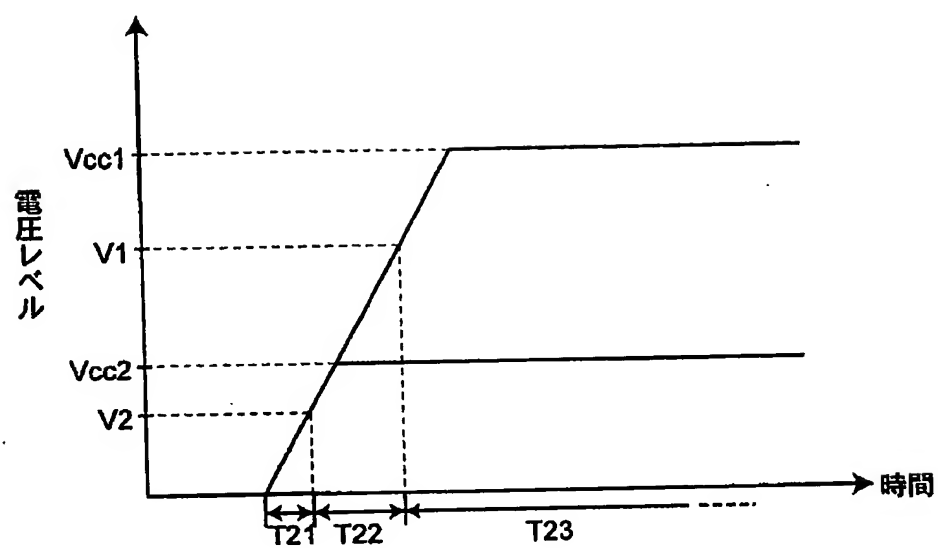


Fig. 26

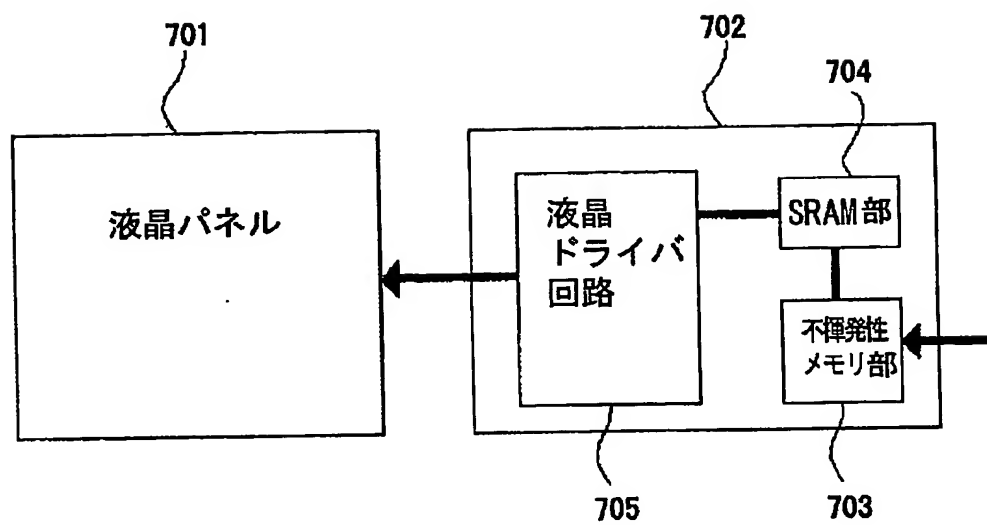


Fig. 27

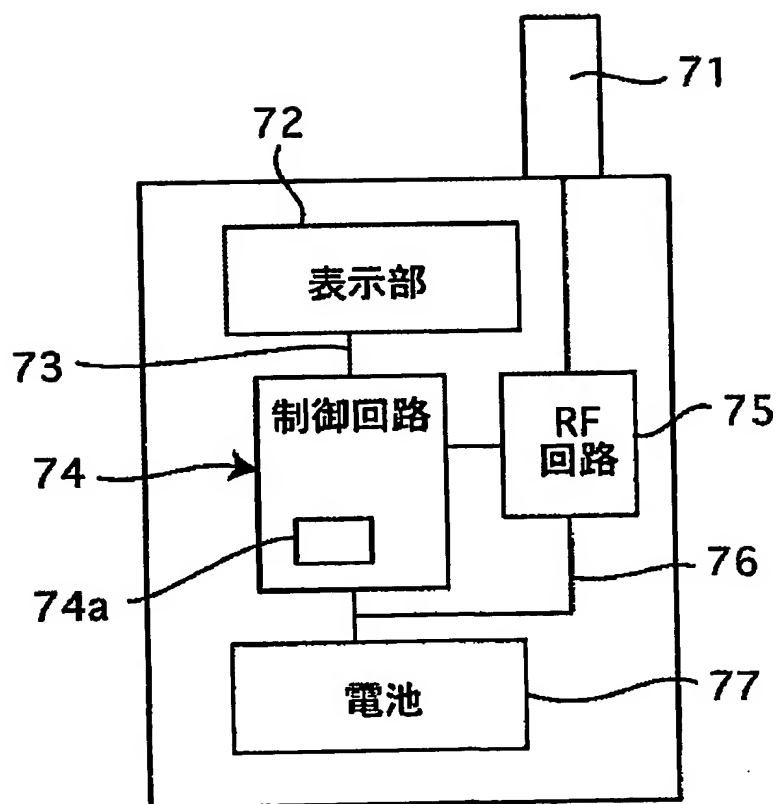


Fig. 28

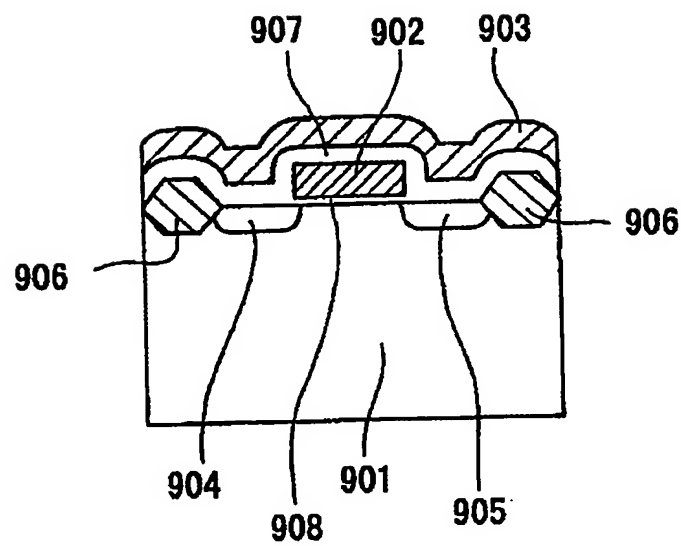


Fig. 29

